

університет "ХАИ", 2008. – 264 с.

6. Грушвицкий Р.И. Проектирование систем на микросхемах программируемой логики / Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П.. – СПб.: БХВ -Петербург, 2002. – 608 с.

7. Бахмач Е.С. Отказобезопасные информационно-управляющие системы на программируемой логике / Бахмач Е.С., Герасименко А.Д., Головир В.А., Сиора А.А., Скляр В.В., Токарев В.И., Харченко В.С. / Под ред. Харченко В.С., Скляра В.В. – Национальный аэрокосмический университет "ХАИ", Научно-производственное предприятие "Радий", 2008. – 380 с.

8. Стешенко В.Б. ПЛИС фирмы Altera: элементная база, система проектирования и языки описания аппаратуры / Стешенко В.Б. – М.: Додэка-XXI, 2002. – 576 с.

9. Ушаков А.А. Проектирование цифровых устройств на ПЛИС в САПР Quartus II / Ушаков А.А., Нечаусов С.Н., Волковая А.А. – Харьков: Национальный аэрокосмический университет "ХАИ", 2006. – 50 с.

Надійшла 14.11.2010 р.

УДК 681.325: 519.713

В.М. ЛОКАЗІЮК, Д.М. МЕДЗАТИЙ

Хмельницький національний університет

ОЦІНКА НАДІЙНОСТІ ПРИСТРОЇВ З ПРОГРАМОВАНОЮ ЛОГІКОЮ

В роботі розглянуто та проведено класифікацію інтегральних схем з програмованою логікою. Проведено аналіз надійності інтегральних схем з програмованою логікою за трьома напрямками: надійність самих інтегральних схем, придатність до діагностування та ефективність засобів контролю. Надано оцінку методики проведення прискорених випробувань інтегральних схем. Обґрунтовано ефективність та доцільність використання інтегральних схем з програмованою логікою у спеціалізованих та критичних системах.

In this paper classification of Application Specific Standard Products was conducted in order to study efficiency of use in specific and critical systems. The assessment of FPGA reliability was made by subdivided into three ways: the reliability of integrated electronics, efficiency of diagnosis and control methods. The efficiency and reasonability of FPGA use in the critical systems were established.

Ключові слова: діагностування, пристрої з програмованою логікою, інтегральні схеми з програмованою структурою.

Вступ

На сьогодні, інтегральні схеми з програмованою структурою (ASSP Application Specific Standard Products) є достатньо конкурентоздатною технологією для розроблення цифрових пристроїв довільної складності. В порівнянні із інтегральними схемами, які мають жорстку структуру інтегральні схеми з програмованою структурою (ІСПС) мають ряд переваг, що роблять їх використання привабливим як для розробників, так і для виробників інтегральних схем. Серед таких переваг можна виділити низьку вартість (найпростіші моделі – до 2 у.о.), високу швидкодію (час проходження сигналу від 1 н.с., частота до 500 МГц), можливість багаторазового перепрограмування, значні функційні можливості, низька споживана потужність, високий ступінь інтеграції (регулярність структури дозволяє застосовувати 0,15-0,13 мікронну технологію), великий відсоток виходу придатних інтегральних схем та інші [1, 2]. Крім великого відсотку виходу придатних мікросхем, слід відзначити і доволі високий рівень їх надійності [3].

Однак, використання пристроїв з програмованою структурою не завжди є доцільним. Наприклад, немає сенсу використовувати схеми з програмованою структурою, якщо планується масове виробництво пристрою, який проектується. При масовому виробництві, витрати на проектування інтегральної схеми, що замовляється, будуть розкладені на всі екземпляри. Чим більший тираж таких інтегральних схем (ІС), тим менша частка витрат на проектування закладена у вартість конкретної ІС. В цьому разі, більш доцільним є використання спеціалізованих інтегральних схем (ASIC – Application Specific Integrated Circuit) [1, 4]. В порівнянні з ІСПС вони мають ряд принципових переваг. Однак їх використання є виправданим для великих партій пристроїв. У випадку виготовлення невеликої партії спеціалізованих пристроїв, а це, як правило, периферійні модулі комп'ютерних систем (пристрої спряження, інтерфейсні засоби, засоби захисту інформації, апаратура підтримки телекомунікацій, апаратних прискорювачів) або високопродуктивна апаратура спеціалізованих систем (обробка сигналів реального часу, автономні інтелектуальні давачі, засоби кодування та декодування інформації), використання замовних ІС є недоцільним, оскільки їх вартість буде надвелика, в наслідок витрат на проектування [1,2]. В цьому випадку варто скористатись інтегральними схемами з програмованою структурою. При такому підході, на сьогодні, проектувальник має доволі широкі можливості щодо вибору конкретної технології. Неможливо однозначно зробити висновок яка з технологій, або які з програмованих схем кращі. Вибір доводиться робити зважаючи на умови конкретного проекту. Найвагомішими факторами є кількість необхідних для виготовлення екземплярів, можливості виробничих потужностей, вимоги до надійності та продуктивності, складність реалізації проекту з використанням тієї чи іншої технології, а також фінансові аспекти проекту [1, 4].

Разом з тим, не зважаючи на суттєві переваги, пристрої, що мають у складі ІСПС, мають і ряд особливостей, які впливають як на їх надійність так і експлуатаційні характеристики. Зокрема, наявність у

структурі пристрою елементів з програмованою структурою, ускладнюють процес їх діагностування. Відомі методи та підходи до діагностування таких пристроїв, як правило, обмежуються конкретними інтегральними схемами з програмованою логікою, а іноді і окремими блоками ІС, і не дають уявлення про вплив надійнісних та діагностичних особливостей останніх на пристрій в цілому [5-8].

Таке положення вимагає проведення аналізу відомих класів пристроїв з програмованою логікою щодо їх надійнісних характеристик, пристосованості та доцільності використання при проектуванні спеціалізованих пристроїв, а також особливостей, які вносять ІСПС у процес діагностування комп'ютерних пристроїв та систем.

Класифікація пристроїв з програмованою логікою

Для проведення аналізу та визначення особливостей впливу елементів з програмованою логікою на надійність та процес діагностування, слід провести їх класифікацію та обмежити клас об'єктів дослідження. Класифікацію цифрових інтегральних схем може проводитись за багатьма ознаками. Однією з найбільш «глобальних» є ознака того, наскільки масовим та спеціалізованим є замовлення. Згідно цієї ознаки всі цифрові схеми поділяються на *стандартні* та *спеціалізовані*. Стандартні ІС користувач отримує як готовий пристрій (off-the-shelf), вони виробляються масовими партіями, що дозволяє знизити їх собівартість. Стандартні ІС, як правило, мають жорстку внутрішню структуру, яка не дозволяє користувачу впливати на характер їх функціонування [1].

На відміну від стандартних, спеціалізовані ІС, які мають індивідуальні функційні особливості доводиться проектувати за конкретним замовленням. Проектування спеціалізованих ІС – складний процес, що потребує додаткових капіталовкладень, тому природним є намагання розробників цифрових пристроїв використовувати стандартні ІС. Однак, це може призводити до ускладнення процесу проектування, тому такий підхід не завжди є доцільним. Спеціалізовані ІС (ASIC) поділяються на замовні (Fully Custom IC) та на частково замовні (Standard Cell Logic). Клас замовних ІС складають схеми які від початку і до виходу готового примірника розробляються індивідуально, проходячи усі стандартні етапи процесу проектування ІС. Частково замовні ІС будуються на базі готових кристалів, логіка функціонування для яких жорстко задається однократним програмуванням при виробництві. Такий підхід значно дешевший замовних ІС, однак ефективність та функційні можливості обмежуються базовим кристалом.

До стандартних ІС відносять схеми малого та середнього ступеня інтеграції (SSI – Small Scale Integration, MSI – Medium Scale Integration), великі та надвеликі інтегральні схеми мікропроцесорів та мікропроцесорних пристроїв (MP – Microprocessor, MC – Microcontroller), великі та надвеликі інтегральні схеми запам'ятовуючих пристроїв (Memory IC), а також інтегральні схеми з програмованою структурою [1]. ІСПС можуть розглядатися користувачем як спеціалізовані, оскільки, залежно від програми, одна і та ж ІС здатна виконувати різні функції. Водночас, з точки зору виробника, ІСПС є стандартними, незалежно від того які саме функції буде виконувати конкретна ІСПС у кінцевому пристрої. Саме ця унікальна особливість дозволяє користувачу проектувати пристрої з використанням, фактично, спеціалізованих ІС за вартістю стандартних. На думку авторів, враховуючи останні тенденції щодо виробництва та використання ІСПС, доцільно обмежитись розглядом програмованих логічних пристроїв (PLD – Programmable Logic Device) або програмованих логічних інтегральних схем (ПЛІС). У відповідності до архітектурних особливостей PLD поділяють на наступні три класи [9]: прості PLD (SPLD – Simple PLD), складні (Complex PLD) та вентильні матриці, що програмуються користувачем (FPGA – Field Programmable Gate Arrays) (рис. 1). У певних джерелах [1] додатково виділяють FPGA з комбінованою архітектурою. Такі інтегральні схеми не мають чітко окреслених архітектурних особливостей за якими їх можна однозначно віднести до CPLD або FPGA. Разом з тим, навіть у межах окремого класу (CPLD або FPGA), кожен виробник вносить певні архітектурні особливості, що робить ІС кожного виробника специфічними, незважаючи на спільні загальні засади.

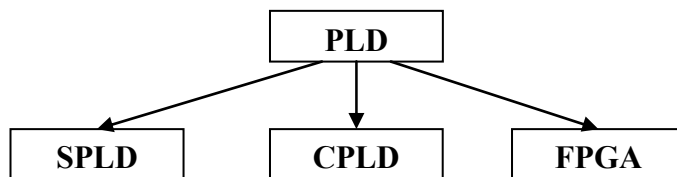


Рис. 1. Класифікація PLD за структурною організацією

За типом налагоджуваного елемента PLD поділяються на такі що програмуються: за допомогою статичного оперативного запам'ятовуючого пристрою (Static RAM); за допомогою електрично перезаписуваного постійного запам'ятовуючого пристрою (EEPROM – Electrically Erasable Programmable Read-Only Memory), або з ультрафіолетовим перезаписом (EPROM – Erasable Programmable Read-Only Memory); за допомогою використання Antifuse-технології (між комутаційними шарами утворюються канали).

За кількістю можливих циклів перепрограмувань ІСПС можна поділити схеми з одноразовим та багаторазовим перепрограмуванням. Більшість PLD, незалежно від того скільки циклів перепрограмування є допустимим, програмуються користувачем під час експлуатації. Виключення становлять масове виробництво, тоді ІСПС можуть програмуватись виробником з використанням «шаблонів».

Щодо передбачуваності затримки розповсюдження сигналу у ІС, то у SPLD час проходження

сигналу з довільного входу на довільний вихід є сталою величиною. Для CPLD затримка не є сталою, але достатньо просто розраховується. В FPGA затримка повністю залежить від шляху який проходить сигнал з конкретного входу на конкретний вихід та змінюється при зміні трасування зв'язків.

Надійність ІСПС

Одним з найважливіших факторів ризику, пов'язаних із використанням елементів з програмованою логікою при проектуванні і виробництві мікропроцесорних пристроїв є їх надійність. В цьому сенсі, надійність слід розглядати як багатофакторну та багатогранну властивість, яка є дещо ширшою за класичне визначення надійності.

Класичні методи розрахунку надійності [10, 11] цифрових схем не враховують особливості їх організації та експлуатації при використанні елементів з програмованою логікою, особливо, якщо це FPGA. Разом з тим, для програмованих схем, які не використовують зовнішню пам'ять для збереження даних ініціалізації, ці особливості не настільки принципові, і у випадку наближених розрахунків ними можна знехтувати.

Таким чином, проводячи оцінку надійності систем, до складу яких входять елементи з програмованою логікою, слід враховувати наступні фактори:

- 1) надійність самих інтегральних схем з програмованою логікою;
- 2) придатність до діагностування;
- 3) засоби оцінки коректності кінцевого проекту.

Надійність інтегральних схем з програмованою логікою принципово не відрізняється від надійності типових ІС запам'ятовуючих пристроїв із тим самим технологічним процесом. Аналізуючи етапи та способи контролю типового технологічного процесу виготовлення ІС типу EPROM, EEPROM та FLASH (Flash memory) [12] (табл. 1) можна зробити висновок про достатність виробничого контролю. Кожен етап технологічного процесу виготовлення програмованих інтегральних схем забезпечений ефективними засобами та методами контролю, які дозволяють виробнику та користувачу бути впевненими у якості кінцевої продукції. Особливої уваги заслуговує той факт, що на етапі (Data Retention Bake) виконується не звичайний контроль, а проводяться повнофункційні прискоренні випробування з метою виявлення дефектів напівпровідникових пластин, що можуть проявлятися при підвищеній температурі. У табл. 1 наведені параметри випробувань (245°C, 48 годин), що використані фірмою "Altera". У більшості ж випадків використовуються дещо інші параметри (96 годин при 150°C або 48 годин при 180°C).

Таблиця 1

№	Назва етапу	Методи та засоби контролю
1.	Виготовлення напівпровідникових пластин (Wafer Fabrication)	До всіх критичних кроків процесу виготовлення напівпровідникових пластин застосовується статистичний контроль (SPC Control)
2.	Контроль напівпровідникових пластин (Wafer Inspection)	Виконується візуальний контроль та електронне тестування (E-test) 100 % вироблених пластин.
3.	Відбір напівпровідникових пластин (Wafer Sort 1)	Проводиться тестування та контроль параметрів живлення (DC Parametric), оцінюються функційні можливості, програмованість (Programmability) та збереженість інформації (Non-Volatile Margin)
4.	Контроль збереження даних (Data Retention Bake)	Проведення випробувань з метою перевірки збереженості записаної інформації. Випробування протягом 48 годин при температурі 245°C (для всіх типів ІС: EPROM, EEPROM, FLASH)
5.	Другий етап відбору напівпровідникових пластин (Wafer Sort 2)	Параметричний контроль (Margin Test) EPROM, EEPROM та FLASH
6.	Збирання (Assembly)	Вибірковий візуальний контроль, маркування (inline mark)
7.	Прикінцеве тестування (Final Test)	Параметрика рівня напруг (AC and DC Parametrics), контроль функційності та програмованості, конфігурування статичних запам'ятовуючих пристроїв.
8.	Контроль електричних параметрів (QA Electrical)	Випробування зі ступеневою зміною напруги (SS=116, C=0)
9.	Маркування (Mark)	Візуальний контроль маркування
10.	Візуальний контроль (Visual Inspection)	Візуальний, в тому числі і механізований контроль ІС з кількістю виводів більше 44
11.	Контроль якості (QA Inspection)	Ступеневий контроль. Документування
12.	Пакування та монтаж (Inner Box and Transfer to Finished Goods)	Контроль програмування, візуальний контроль під час монтажу та пакування
13.	Реалізація	Гарантійне обслуговування

Провідні виробники ІС з програмованою логікою (Altera, Atmel, Xilinx та ін.), крім контролю на

етапах технологічного процесу виготовлення ІС, регулярно проводять та ознайомлюють споживачів з результатами власних досліджень щодо надійності ІС. Це стосується як ІС з програмованою логікою (як правило CPLD та FPGA), так і інших ІС. Звіти з надійності ІС різних фірм виробників [12-14] достатньо схожі та містять результати і аналіз прискорених випробувань нових ІС. В згаданих джерелах також приведено розрахунок інтенсивності відмов різних типів ІС за результатами прискорених випробувань. Серед методів тестування, які використовуються виробниками, доцільно відмітити наступні.

Data Retention Bake – перевірка здатності елементів пам'яті зберігати інформацію за високою температурою та відсутності живлення.

High Temperature Operating Life. Метою тесту є пришвидшення прояву дефектів, що активізуються на підвищеній температурі ($\approx 150^\circ\text{C}$) та напрузі живлення. Отримані результати тесту дають можливість визначити такі показники, як рівень ранніх відмов (EFR – Early Failure Rate) та рівень відмов, які характерні для даного пристрою IFR (Intrinsic Failure Rate). EFR вимірюється у бракованих виробках на мільйон, а IFR – у відмовах за проміжок часу.

Highly Accelerated Stress Test призначений для перевірки стійкості ІС з пластиковим корпусом до жорстких умов зовнішнього середовища. Умови тестування – 130°C та відносна вологість 85 %.

Steam Pressure Pot – тест спрямований на оцінку стійкості пластикових корпусів до жорстких умов експлуатації та підвищеного тиску на корпус. Умови тестування – 121°C , відносна вологість 100 % та тиск $\approx 15\text{кг/см}^2$.

Temperature Cycle – тест призначений для оцінки чутливості ІС до термічних змін, а саме до розширення та стиснення матеріалів при достатньо різкій зміні температури від нижньої до верхньої границі і навпаки.

Перераховані тести відносяться до групи стресових випробувань. За умови проходження тестів всіма 100 % виробів, споживач може бути впевненим у надійності кінцевої ІС.

Інтенсивність відмов розроблених ІС з програмованою логікою розраховують як [12-14]:

$$\lambda = \frac{\chi^2 \cdot 10^9}{2 \cdot AF \cdot DH}, \quad (1)$$

де λ – інтенсивність відмов (FITs – Failure In Time);

χ^2 – оцінка ненадійності (інтервал довіри), оцінюється як $(2n + 2)$, де n – кількість відмов;

AF – фактор акселерації ($TAF \times VAF$), де TAF – Thermal Acceleration Factor (фактор термічної акселерації), VAF – Voltage Acceleration Factor (фактор акселерації за напругою);

DH – кількість приладогодин (кількість приладів \times кількість годин роботи).

Складові фактору акселерації прискорених випробувань розраховуються наступним чином. Фактор термічної акселерації розраховується як:

$$TAF = e^{\frac{E_a}{k} \left[\frac{1}{T_f + (P_f \cdot \theta_{JAf})} - \frac{1}{T_s + (P_s \cdot \theta_{JAs})} \right]}, \quad (2)$$

де E_a – енергія тепло-активації (в більшості випадків використовується значення 0.7 еВ, для визначення інтенсивності відмов EPROM використовується значення 0.58 еВ);

k – константа Больцмана ($8.617 \cdot 10^{-5}$ еВ/°К);

T – температура (°К);

f – умови нормальної експлуатації (Field Conditions);

s – стресові умови (Stress Conditions);

P – споживана (розсіювана) потужність (Вт);

θ_{JA} – коефіцієнт термічного опору (вплив зовнішнього середовища, °С/Вт).

Фактор акселерації за напругою:

$$VAF = e^{Z \cdot [V_s - V_n]}, \quad (3)$$

де V_s – напруга стресових випробувань (В);

V_n – напруга нормальної експлуатації (В);

Z – константа акселерації (як правило, $0.5 < Z < 1.0$).

Отримані результати розрахунку інтенсивності відмов ІС за формулою (1) виробники подають у якості звіту. Звіти формуються з певною періодичністю, наприклад, за квартал. Такі дані дають можливість користувачу завчасно ознайомитись із надійнісними показниками інтегральних схем та прийняти рішення щодо доцільності їх використання у своїх проектах.

У таблиці 2 надана зведена інформація про кількість отриманих відмов при тестуванні ІС за методикою High Temperature Operating Life та Data Retention Bake з класифікацією за типом інтегральних схем.

Наведені результати випробувань свідчать про високу надійність та стійкість до зовнішніх несприятливих факторів сучасних інтегральних мікросхем. Особливої уваги заслуговує той факт, що серед наведених класів пристроїв найвищу надійність при прискорених випробуваннях показали вентильні

програмовані матриці (FPGA).

Таблиця 2

№	Тип інтегральних схем	High Temperature Operating Life		Data Retention Bake	
		Кількість приладогодин	Інтенсивність відмов (FITs)	Кількість приладогодин	Інтенсивність відмов (FITs)
1.	AGP	648 000	40	Тестування не проводиться	
2.	ASIC (спеціалізовані інтегральні схеми)	2 472 240	11	654 500	12
3.	MEMORY (мікросхеми пам'яті)	1 858 860	8	770 000	10
4.	MCU (мікропроцесорні пристрої керування)	1 367 888	40	1 630 500	5
5.	RFA (підсилювачі високих частот)	2 771 000	3	Тестування не проводиться	
6.	FPGA (вентильні матриці програмовані користувачем)	9 117 988	2	3 055 000	3

При аналізі інтенсивності відмов однотипних ІС з програмованою логікою, виготовлених з використанням різного технологічного процесу, виявлено тенденцію до зменшення інтенсивності відмов зі збільшенням щільності розташування компонентів [14]. Основні результати тестування ІС фірми "Xilinx" подано у таблиці 3. Наведені у таблиці результати свідчать не тільки про підвищення надійності із поліпшенням технологічного процесу, але й ще раз доводять надійність FPGA в порівнянні з іншими типами ІС з програмованою логікою.

Таблиця 3

№	Технологічний процес виготовлення ІС (мкм)	Тип програмованої ІС	Кількість приладогодин	Інтенсивність відмов (FIT)
1.	0.09	FPGA	9 718 259	1
2.	0.15	FPGA	3 150 650	8
3.	0.15	EPROM	2 110 352	12
4.	0.35	FPGA	4 456 867	15
5.	0.35	EPROM	1 026 686	24
6.	0.6	EPROM	1 057 908	23

Оцінюючи інтенсивність відмов сучасних ІС з програмованою логікою, слід зазначити, що виробники подають цю інтенсивність у FITs (Failure per Interval of Time), що фактично відповідає одній відмові на 10^9 приладогодин. Наприклад, очікування п'яти відмов при експлуатації одного мільйону ІС протягом тисячі годин відповідає інтенсивності відмов у 5 FITs. Тому наведені у звітах дані слід сприймати з розумінням їх технології розрахунку. Описана методика розрахунку інтенсивності відмов не дає можливості використовувати отримані значення для обчислення інших показників надійності, зокрема середнього часу напрацювання на відмову та інших.

Наступним складовим фактором оцінки надійності систем побудованих на ІС з програмованою логікою є їх придатність до діагностування. Під придатністю до діагностування ІС з програмованою логікою будемо розуміти ефективність засобів та методів визначення працездатності ІС, ефективність та результативність методів пошуку несправностей та можливості щодо усунення виявлених несправностей. Однією з основних проблем при діагностуванні ІС з програмованою логікою є те, що такі ІС слід розглядати як сукупність самої апаратури та програми, яка відповідає за реалізацію функцій покладених на ІС. В цьому сенсі є принципова різниця щодо оцінки працездатності самої ІС як суто апаратної частини та проекту як сукупності апаратної та програмної частин. Оцінку працездатності функційних блоків ІС з програмованою логікою взяли на себе виробники. Абсолютна більшість мікросхем FPGA мають вбудовані засоби самоконтролю. Такий контроль направлений на оцінку працездатності перед початком функціонування. Оскільки вбудовані засоби контролю та діагностування, як правило, більш ефективні ніж решта засобів [10], то така оцінка з точки зору інтеграції FPGA до певної системи є цілком достатньою. У випадку необхідності більш розширеного контролю працездатності апаратної складової, слід обирати ІС, які дозволяють отримати інформацію про результати такого контролю через інтерфейс JTAG. Для організації такого тестування та опрацювання його результатів пристрої на ІС з програмованою логікою повинні бути обладнані додатковими зовнішніми засобами на які і будуть покладені ці функції [15]. Враховуючи те, що оцінюючи надійність систем побудованих на FPGA більш принциповою властивістю є їх відмовостійкість, то використання додаткових засобів для локалізації несправності є невиправданим, оскільки наявність несправності вже призведе до відмови підсистеми в цілому.

Щодо визначення працездатності проекту в цілому, то це достатньо нетривіальна задача, яка не може бути розв'язана виробником самостійно. В цьому напрямі виробник може контролювати та

гарантувати лише надійність виконання функції перенесення програми конфігурації із зовнішньої енергонезалежної пам'яті до FPGA. Решта складових цієї задачі переноситься на користувача. Користувач самостійно, у випадку необхідності, повинен передбачити контроль програмної частини, за рахунок введення певної надлишковості [15]. Таке положення вимагає від розробників додаткових витрат часу на проектування.

Аналіз методів діагностування ІС з програмованою логікою [5, 8, 15, 16], метою яких є виявлення та локалізація несправностей, свідчить про суттєві досягнення у цій галузі. Розроблені та запропоновані методи дозволяють з достатньою ефективністю виявити та локалізувати несправності як фізичні (проблеми кристалу) так і логічні. Однак, ці методи доцільно використовувати у менш критичних системах, при експлуатації яких передбачено певний час для відновлення. В більш критичних системах використання цих методів доцільне лише на етапах проектування.

Останньою складовою оцінки придатності до діагностування є наявність методів та засобів усунення (виправлення) несправностей. Ця проблема може вирішуватись, як виробниками так і самими користувачами при розробленні проектів. Фірмою "Xilinx" запропонований ефективний підхід, який дозволяє при виявленні та фіксації помилки перемкнутись на справний компонент [17, 18]. Основна одиниця при відновленні – рядок або стовпець. На сьогодні, такий підхід застосовується і до ІС з програмованою логікою й інших виробників. Використання генетичних алгоритмів для автономної реконфігурації у випадку виявлення помилки дозволило забезпечити надійність діагностування дефектів на рівні 99 %, і скоротити час відновлення до 36 мс [19]. При цьому виключене використання додаткових зовнішніх засобів. В роботі [20] запропоновано підхід до відновлення роботоздатності кристалу FPGA, який є не критичним до часу і ґрунтується на заміні локальних CLB на додаткові надлишкові CLB. Результати наведених робіт доводять ефективність використання FPGA у відмово стійких системах, оскільки дозволяють реалізувати резервування з можливістю автономного відновлення працездатності безпосередньо на кристалі.

Третьою складовою надійності систем побудованих з використанням ІС з програмованою логікою є наявність засобів оцінки коректності розроблених проектів. Ця задача цілком покладесться на спеціалізоване програмне забезпечення розроблення та моделювання проектів на ІС з програмованою логікою. Провідні фірми виробники ІС приділяють значну увагу розробленню та супроводженню таких програмних комплексів. Вони покликані максимально спростити роботу користувача шляхом автоматизації виконання певних підзадач та підвищити ефективність та надійність проектів шляхом постійного контролю етапів розроблення. Іншим позитивним моментом проектування систем з використанням елементів з програмованою логікою є можливість користувача багаторазово перепрограмувати FPGA та проводити тестування безпосередньо кінцевого продукту, а не лише його моделі.

Висновки

Підбиваючи підсумки оцінки надійності ІС з програмованою логікою як компонентів спеціалізованих та критичних систем відзначимо наступне:

1) для реалізації власних проектів на ІС з програмованою логікою користувач, залежно від специфіки та складності проекту, може обирати ІС з широким спектром функційних, надійнісних та проектних характеристик (SPLD, CPLD, FPGA та ін.);

2) надійність ІС з програмованою логікою відповідає найжорсткішим вимогам, а виробники регулярно ознайомлюють користувачів з результатами прискорених випробувань всіх ІС з програмованою логікою;

3) результати оцінки надійності ІС з програмованою логікою, які надаються виробниками придатні для прийняття рішення щодо вибору тієї чи іншої ІС для використання;

4) відомі методи діагностування FPGA дозволяють з високою достовірністю віднаходити та локалізувати несправності різного характеру;

5) ефективні методи діагностування, наявна структурна надлишковість на кристалі FPGA та можливе введення «логічної» надлишковості надають ефективні засоби оперативного відновлення працездатності FPGA при виявленні несправностей.

Перераховані особливості ІС з програмованою логікою в порівнянні з системами на жорсткій логіці свідчать про доцільність та ефективність використання FPGA у спеціалізованих системах та системах з критичними вимогами щодо надійності.

Література

1. Грушвицкий Р.И. Проектирование систем на микросхемах программируемой логики / Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. – СПб.: БХВ-Петербург, 2002. – 608 с.
2. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы XILINX®. – М.: Горячая линия – Телеком, 2006. – 520 с., ил.
3. Device Reliability Report. Xilinx Inc. UG116 (v5.9) May 2010. – 106 p.
4. Brovn S., Zvonko Vranesic. Fundamentals of Digital Logic with VHDL Design. The McGraw Hill, – 2000. – 530 p.
5. Abramovici M., Melvin A. Breuer, Arthurd D. Friedman Digital Systems Testing and Testable Design. – IEEE Press., NewYork, – 1999. 652 p.

6. Huang W.K., Meyer F.J., and Lombardi F. An Approach for Detecting Multiple Faulty FPGA Logic Blocks, IEEE Trans. on Computers, Vol. 49, No. 1, 2000. – pp. 48-54.
7. Lakamraju V. and Tessier R. Tolerating Operational Faults in Cluster-based FPGAs. Proc. ACM/SIGDA International Symp. on FPGAs, Febr. 2000. – pp. 187-194.
8. Wang, S. J., et al., Test and diagnosis of faulty logic blocks in FPGAs. Proc. ICCAD, 1997. – pp. 722-727.
9. Соловьев В.В., Програмуемые логические интегральные схемы и их применение / Соловьев В.В., Васильев А.Г. – Мн.: Беларуская навука, 1998. – 266с.
10. Локазюк В.М. Надійність, контроль, діагностика і модернізація ПК: [посібник] / Локазюк В.М., Савченко Ю.Г. – К.: Видавничий центр «Академія», 2004. – 376 с.
11. Надежность технических систем: справочник / [Ю.К. Беляев, В.А. Богатырев, В.В. Болотин и др.]; под ред. И.А. Ушаков. – М.: Радио и связь, 1985. – 608 с.
12. Altera Corporation. Reliability Report 50. – Q3 2010. – 50 p.
13. Atmel. Reliability Monitor Report. 2010. – 14 p.
14. Xilinx. Device Reliability Report. (ug116). 2010. – 106 p.
15. Erik Chmelar The Test and Diagnosis of FPGAs. A dissertation submitted to the department of electrical engineering and the committee on graduate studies of Stanford university. Stanford University. 2004. – 112 p.
16. Abramovici, M., C. Stroud, “BIST-Based Detection and Diagnosis of Multiple Faults in FPGAs, ” Proc. Int’l Test Conf., 2000. – pp. 119-141.
17. Subhasish M. Reconfigurable architecture for autonomous self-repair / M. Subhasish, W. – J. Huang, N.R. Saxena, E.J. McCluskey // IEEE Design & Test of Computers. – Volume 21, Issue 3. – 2004. – P. 228-240.
18. Хаханов В.И., Сервисное обслуживание современных цифровых систем на кристаллах / Хаханов В.И., Литвинова Е.И., Ngene Christopher Umeran // Радіоелектронні комп’ютерні системи. – 2009. – № 7. – С. 319-323.
19. Ross R. A FPGA Simulation Using Asexual Genetic Algorithms for Integrated Self-Repair / R. Rose, R. Hall // Adaptive Hardware and Systems, 2006. – AHS 2006. – First NASA/ESA Conference on Volume. – Issue 15-18 June 2006. – P. 301-304.
20. Habermann S., Kothe R., Vierhaus H.T. Built-in self repair by reconfiguration of FPGAs // Proceedings of the 12th IEEE International Symposium on On-Line Testing. – 2006. – P. 187-188.

Надійшла 7.11.2010 р.

УДК 519.68

Г.Г. ЦЕГЕЛИК, Р.О. ОБУХІВСЬКИЙ
Львівський національний університет імені Івана Франка

ВИЗНАЧЕННЯ ПАРАМЕТРІВ ОПТИМАЛЬНОЇ ОРГАНІЗАЦІЇ ІНДЕКСО-ПОСЛІДОВНИХ ФАЙЛІВ БАЗ ДАНИХ

Розв’язана задача визначення параметрів (кількості рівнів індекса, розмірів блоків індекса і записів файлу) оптимальної організації індексо-послідовних файлів баз даних для різних законів розподілу ймовірностей звертання до записів. За критерій оптимальності прийнято математичне сподівання загального часу, необхідного для пошуку запису у файлі.

Solved the problem of defining the parameters (number of index levels, size of blocks and index entries of the file) of the optimal index-sequential database files for different probability distribution laws to access records. By optimality criterion adopted general expectation of time needed to find a record in the file.

Ключові слова: рівень індексу, база даних, розподіл ймовірностей.

Найбільш поширеною організацією файлів баз даних є індексо-послідовна організація [1]. При заданій кількості рівнів індекса її ефективність для різних законів розподілу ймовірностей звертання до записів досліджена в [2–6]. В роботі досліджено ефективність індексо-послідовної організації файлів залежно від трьох параметрів: кількості рівнів індекса, розміру блоків індекса і розміру блоків записів файлу. За критерій ефективності візьмемо математичне сподівання загального часу, необхідного для пошуку запису у файлі. Для різних законів розподілу ймовірностей звертання до записів знайдемо явний вираз математичного сподівання і визначимо значення параметрів, які мінімізують його.

Формулювання задачі. Розглянемо r -рівневий ($r \geq 1$) індексо-послідовний файл з однаковим розміром блоків індексу на всіх рівнях. Нехай N – кількість записів файлу; l і m – розмір, відповідно, блоків індекса і блоків записів файлу; $a_0 = b_0 + d_0 m$ і $a_1 = b_1 + d_1 l$ – час доступу, відповідно, до блоку записів файлу і блоку елементів індексу, де b_0, b_1, d_0, d_1 – деякі сталі; t_0 і t_1 – час перегляду, відповідно, запису файлу і елемента індекса; p_i – ймовірність звертання до i -го запису файлу. Тоді при використанні в індексі і файлі методу послідовного перегляду математичне сподівання загального часу пошуку запису виражається наступною формулою: