

УДК 621.3

О.І. ПОЛКАРОВСЬКИХ
Хмельницький національний університет

ПРИНЦИПИ ПОБУДОВИ СТРУКТУРНИХ ЕЛЕМЕНТІВ ВИСОКОЇ ШВИДКОДІЇ У ПРЯМИХ ЦИФРОВИХ СИНТЕЗАТОРАХ ЧАСТОТИ (DDS)

Розглянуто принципи побудови фазових акумуляторів у прямих цифрових синтезаторах частоти DDS. Виконано математичний аналіз виникнення затримок розповсюдження сигналу переносу в накопичувачах фази. Розглянуто методи побудови КМОП структур фазових акумуляторів цифрових синтезаторів зі зменшеним енергоспоживанням. Застосування запропонованих структур фазових акумуляторів дозволить зменшити енергоспоживання синтезаторів та покращити їх тактико-технічні характеристики.

Principles of phase accumulator in direct digital synthesizers – DDS. A mathematical analysis of the signal propagation delay transfer. Methods of construction of CMOS structures of phase accumulator digital synthesizer with reduced power consumption was propose. Application of the proposed structure of the phase accumulator will reduce energy use synthesizers and improve their tactical and technical characteristics.

Ключові слова: Software Defined Radio (SDR), АЦП, ЦАП, прямий синтезатор частоти, фазовий акумулятор, ADC, DAC, direct frequency synthesizer (DDS).

Постановка задачі

Прямі цифрові синтезатори частоти відіграють важливу роль в сучасних цифрових комунікаціях. Це забезпечується багатьма значними перевагами: швидкість переналаштування частоти, висока розрізняльна здатність, широка синтезована смуга частот. Однак синтезатори DDS не відіграють домінуючої ролі у широкосмугових системах, стільникових системах зв'язку зі стрибкоподібною зміною носійної частоти, в радарних системах, через частотні обмеження роботи елементів синтезатора, а особливо вихідних ЦАП. Хоча застосування GaAs технології дозволяє використати DDS у таких системах, вартість їх значно зростає. Одночасно зростає енергоспоживання таких виробів, що є неприйнятним для портативної апаратури. Отже необхідно шукати рішення архітектури синтезатора в КМОП технології, яке вирішило питання високих робочих частот синтезатора з одночасним низьким енергоспоживанням.

Аналіз досліджень та публікацій

Проаналізуємо роботу цифрового синтезатора частоти. Спрощена структурна схема цифрового синтезатора частоти наведена на рис. 1 [1].

Фазове слово P розрядністю j додається до виходу з регістра фази у кожному такті опорної частоти f_{clk} . Перетворювач фаза-амплітуда генерує відліки амплітуди розрядністю m , а цифро-аналоговий перетворювач генерує синусоїдальний сигнал. Розрізняльна здатність синтезатора складає

$$\Delta f = \frac{f_{clk}}{2^j}. \quad (1)$$

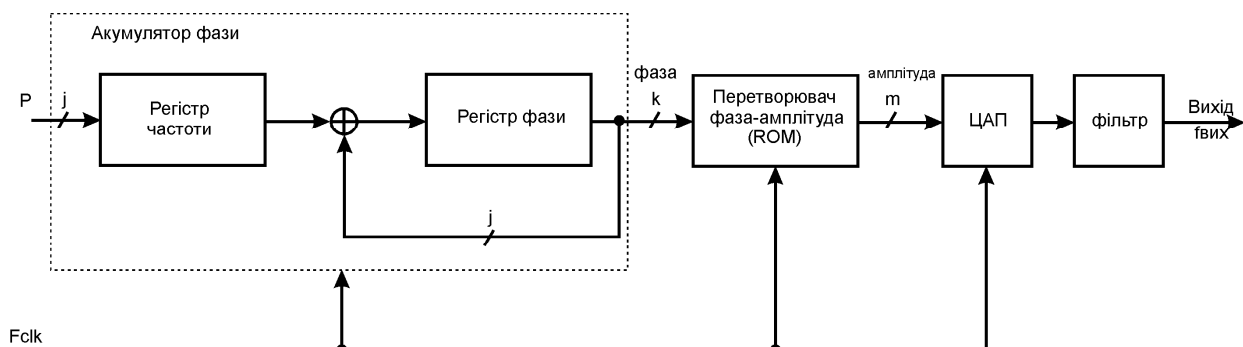


Рис. 1. Структурна схема DDS

Найбільше енергоспоживання у наведеній структурній схемі мають блоки акумулятора фази та ЦАП, хоча і блок постійного запам'ятовуючого пристрою має значне енергоспоживання. Отже зменшення енергоспоживання і підвищення швидкодії цифрових синтезаторів частоти можливо у наступний спосіб: підвищення швидкодії фазового акумулятора та зменшення його енергоспоживання, зменшення розміру постійного запам'ятовуючого пристрою перетворювача фаза-амплітуда, вибір оптимальної структури ЦАП. Паралельна структура акумуляторів підвищує швидкість роботи, проте одночасно зростає площа акумулятора та енергоспоживання кристалу. Такі акумулятори можуть використовуватись у високошвидкісних DDS, однак кількість конвеєрних станів зростає, а площа та енергоспоживання зростає за експоненціальним законом. Паралельний акумулятор споживає меншу потужність ніж конвеєрний

акумулятор, проте він потребує K суматорів для зростання швидкості в K раз.

Постановка завдання

Основним функціональним блоком синтезатора частоти є акумулятор фази. Важливою проблемою такого акумулятора є проблема поширення переносу [1]. Затримка поширення сигналу переносу призводить до нерівномірності формування сигналів переповнення фазового акумулятора і відповідно до формування квазіперіодичного вихідного сигналу – секвентності. N -бітний фазовий акумулятор може бути побудований за допомогою N -бітного суматора та $N D$ тригерів. На практиці такий фазовий акумулятор не може здійснити додавання за один тактовий період, через затримку результату на кожному одиничному суматорі. В роботі [1] запропоновано для зменшення залежності затримки поширення сигналів переносу, операнди та сигнали переносу необхідно захоплювати у стійкі стани D тригерами. У разі застосування чотирьох бітних ядер суматорів, структурна схема такого акумулятора фази набуде наступного вигляду (рис. 2).

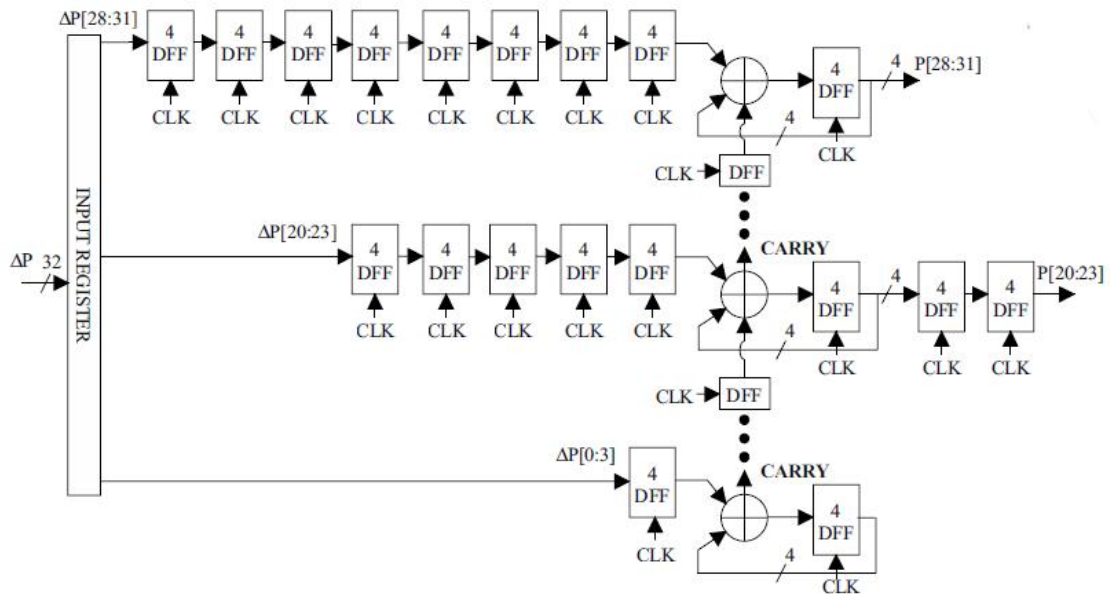


Рис. 2. Технологія 32-бітного фазового акумулятора з 4-розрядними суматорами [1]

Для підтримання коректного стану акумулятора, протягом часу виконання додавання необхідно підтримувати значення фазового слова на вході схеми. А результат акумулювання з'явиться на виході акумулятора лише через певну кількість тактів. Для прикладу на рис.2 це складе 9 повних тактових циклів. Крім того для 32-бітного акумулятора з 4-бітною конвеєрною організацією, схема вимагає 144 D-тригера, чітка синхронізація яких є окремою складною науково-технічною задачею. Для спрощення схеми та зменшення кількості D-тригерів застосовують схеми перекосів на основі регістрів вирівнювання затримки. Платою за таке спрощення є зменшення частоти оновлення станів тригерів тільки f_s/N , де N – кількість станів конвеєра. Фазове слово, що надходить до фазового акумулятора, у більшості випадків формується у схемах з набагато меншою швидкістю, і часто асинхронно до опорного джерела DDS. Для дозволу асинхронного завантаження вхідного фазового слова необхідно додатково використовувати подвійну буферизацію входу фазового акумулятора. Вихідні елементи затримки будуються аналогічно до вхідних, так щоб молодші біти отримували найбільшу затримку, а найбільш важливі старші біти отримували мінімальну затримку. На рис. 2 дані найбільш значущі 12 біт фазового акумулятора затримуються в конвеєрних регістрах для досягнення повної синхронізації у конвертері фаза-амплітуда. Спрощення структури такого акумулятора фази досягається шляхом зменшення кількості регістрів затримки у молодших менш значущих бітах. Це стає можливим через те, що лише старші біти з виходу фазового акумулятора використовуються для перетворення фазових відліків у синусоїдальну функцію. Затримка між появою актуального значення фази на виході та завантаженням вхідного фазового слова складе 9 повних тактових циклів.

Іншою широко розповсюдженою технологією є технологія прогресія станів [2], яка використовується у фазових акумуляторах з високими вимогами до тактової частоти. Значення цифрових виходів фазового акумулятора наведені у (2–5), коли вхідне фазове слово лишається постійним для 4-тактових циклів. Вихідні значення фазового акумулятора –

$$P(n+1) = P(n) + \Delta P = P(n) + \Delta P \quad (2)$$

$$P(n+2) = P(n+1) + \Delta P = P(n) + 2\Delta P \quad (3)$$

$$P(n+3) = P(n+2) + \Delta P = P(n) + 3\Delta P \quad (4)$$

$$P(n+4) = P(n+3) + \Delta P = P(n) + 4\Delta P. \quad (5)$$

де ΔP – це вхідне фазове слово, а $P(n)$ це вихід фазового акумулятора в n -у такті опорної тактової

частоти. Для генерування $P(n+2)$ та $P(n+4)$ в (3) та (5) ΔP зсувається вгору на 1 біт і 2 біта, перед тим як вони будуть додаватись відповідно. Для генерування $P(n+3)$ в (4), використовуються $P(n+2)$ та ΔP замість $3\Delta P$. Структурна схема 32-бітного акумулятора з технологією прогресія станів наведена на рис. 3. Як видно з рисунка, технологія вимагає D -тригерів та 4-х суматорів, що призводить до значного зростання площі кристалу та зростання споживаної потужності.

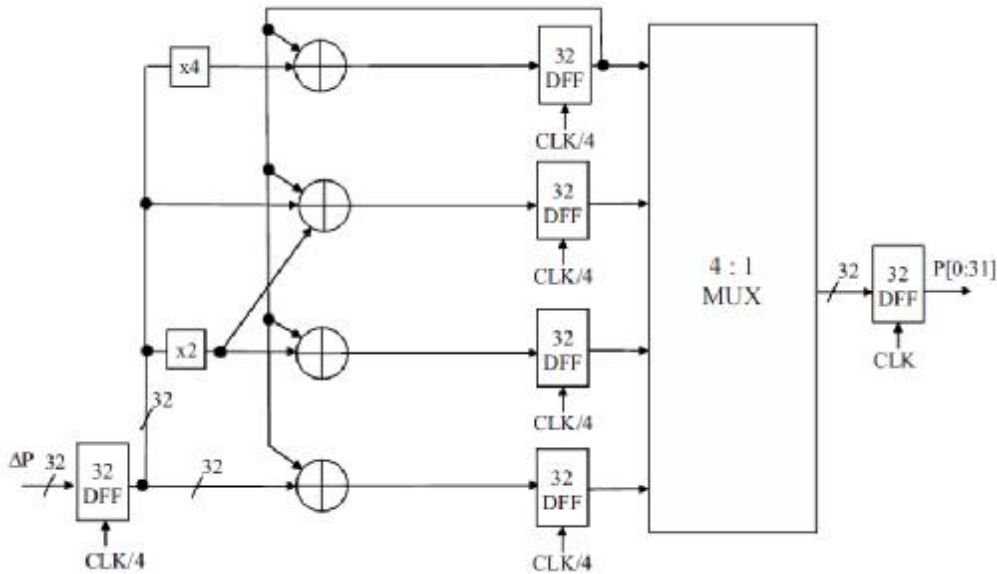


Рис. 3. 32-бітний фазовий акумулятор з технологією прогресія станів [2]

Для підвищення продуктивності акумулятора застосовують структуру наведену на рис. 4, яка складається з фазового акумулятора та 4-х суматорів. Чотири суматора необхідні для формування 4-х послідовних фазових виходів $P(n+1)$, $P(n+2)$, $P(n+3)$, $P(n+4)$. Чотири фазових виходи генеруються до даванням фазових зсувів 0 , ΔP , $2\Delta P$, $3\Delta P$ до виходу фазового акумулятора.

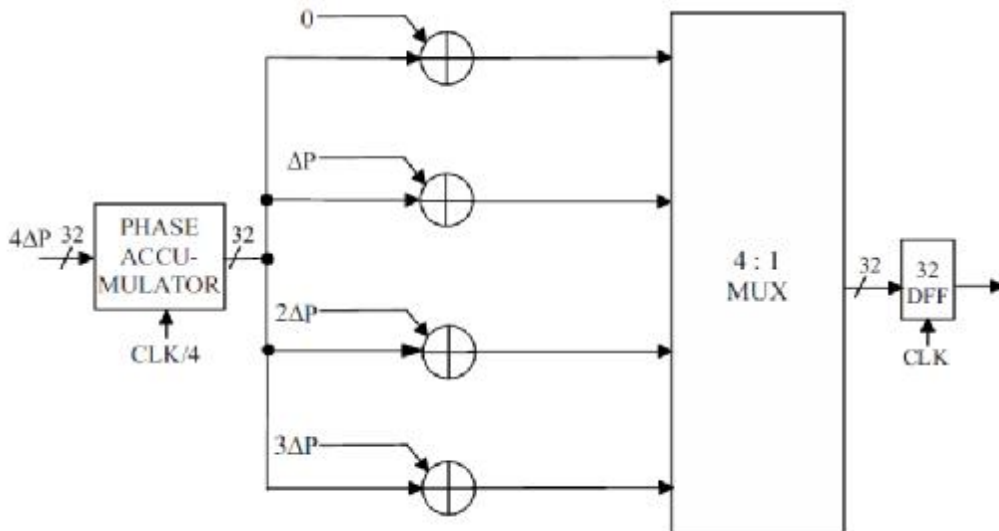


Рис. 4. 32-бітний фазовий акумулятор із застосуванням паралельних суматорів [1]

Фазовий акумулятор може бути прискорений за рахунок застосування систем числення без залишків. Такі системи числення не мають елементів переносу між розрядами, отже проблема біжучого переносу для них не існує. Проте кодування та декодування з однієї системи представлення чисел у іншу займає певний час і зменшує вигоду від зростання швидкості обчислення.

В роботі [3] проаналізовано побудову суматора на основі теоретико-числового базису Галуа, який дозволяє реалізувати підсумовування кодів без переносів. Операція сумування кодів у базисі Галуа, для суматорів в діапазоні $2^k - 1$, виконується шляхом виконання логічних операцій над бітами коду Галуа першого з доданків згідно таблиці логічних рівнянь, що описують другий доданок. В табл. 2 надані формули логічного опису бітів другого доданку, на прикладі 4-розрядного коду Галуа для суматорів в діапазоні 2^k .

Формування кодів чисел в базисах Галуа та Радемахера

Десяткове значення	Двійкові коди	Коди Галуа	Вектор формування кодів Галуа		
			→	1	
0	0000	1111		1	
1	0001	1110		1	
2	<0010> →	<1101> →	→	1	
3	0011	1010		1	
4	0100	0101		0	
5	0101	1011		1	
6	0110	0110		0	
7	0111	1100		1	
8	1000	1001		1	
9	1001	0010		0	
10	1010	0100		0	
11	1011	1000		1	
12	1100	0000		0	
13	1101	0001		0	
14	1110	0011		0	
15	1111	0111		0	

Такий спосіб опису функцій суматора в базисі Галуа передбачає емуляцію його роботи виключно програмним шляхом, що не дозволяє перейти до його апаратної реалізації. Виконання операції сумування на основі матриці коефіцієнтів d_{ij} (табл. 3) представлено в [3], яка використовується для логічного формування бітів коду Галуа суми доданків згідно виразу:

$$b_i = d_{i,k} \cdot b_k \oplus d_{i,k-1} \cdot b_{k-1} \oplus \dots \oplus d_{i,1} \cdot b_1.$$

Таблиця 2

Формули логічного представлення кодів Галуа [3]

Десяткове значення	Код Галуа	Формула суматора			
		b_4	b_3	b_2	b_1
0	1111	b_4	b_3	b_2	b_1
1	1110	b_3	b_2	b_1	$b_1 \oplus b_4 \oplus b_3$
2	1101	b_3	b_1	b_2	$b_1 \oplus b_4$
3	1010	b_2	b_2	$b_1 \oplus b_4$	$b_1 \oplus b_2 \oplus b_4$
4	0101	b_1	$b_1 \oplus b_4$	$b_1 \oplus b_2 \oplus b_4$	$b_1 \oplus b_2 \oplus b_3 \oplus b_4$
5	1011	$b_1 \oplus b_4$	$b_1 \oplus b_2 \oplus b_4$	$b_1 \oplus b_2 \oplus b_3 \oplus b_4$	$b_1 \oplus b_2 \oplus b_3$
6	0110	$b_1 \oplus b_2 \oplus b_4$	$b_1 \oplus b_2 \oplus b_3 \oplus b_4$	$b_1 \oplus b_2 \oplus b_3$	$b_2 \oplus b_3 \oplus b_4$
7	1100	$b_1 \oplus b_2 \oplus b_3 \oplus b_4$	$b_1 \oplus b_2 \oplus b_3$	$b_2 \oplus b_3 \oplus b_4$	$b_1 \oplus b_3$
8	1001	$b_1 \oplus b_2 \oplus b_3$	$b_2 \oplus b_3 \oplus b_4$	$b_1 \oplus b_3$	$b_2 \oplus b_4$
9	0010	$b_2 \oplus b_3 \oplus b_4$	$b_1 \oplus b_3$	$b_2 \oplus b_4$	$b_1 \oplus b_3 \oplus b_4$
10	0100	$b_1 \oplus b_3$	$b_2 \oplus b_4$	$b_1 \oplus b_3 \oplus b_4$	$b_1 \oplus b_2$
11	1000	$b_2 \oplus b_4$	$b_1 \oplus b_3 \oplus b_4$	$b_1 \oplus b_2$	$b_2 \oplus b_3$
12	0000	$b_1 \oplus b_3 \oplus b_4$	$b_1 \oplus b_2$	$b_2 \oplus b_3$	$b_3 \oplus b_4$
13	0001	$b_1 \oplus b_2$	$b_2 \oplus b_3$	$b_3 \oplus b_4$	b_4
14	0011	$b_2 \oplus b_3$	$b_3 \oplus b_4$	b_4	b_3
15	0111	$b_3 \oplus b_4$	b_4	b_3	b_2

Аналіз структури операційного пристрою сумування в базисі Галуа показує, що він характеризується регулярною архітектурою з часом затримки сигналів

$$T_{\Sigma G} = 3T_{LE} + \left(\frac{k}{4}\right)T_{LE},$$

де T_{LE} – час затримки одного логічного елемента, k – розрядність суматора.

Аналіз показує, що час затримки сигналів при виконання операції сумування в базисі Галуа

дорівнює: $T_{\Sigma G} = 5T_{LE} + kQ_{LE}$, де $Q_{LE} = \frac{T_{LE}}{4}$. Оскільки дана затримка відповідає 4-м розрядам суматора, а при подвоєнні розрядності суматора в схему послідовно включається один додатковий елемент "виключне АБО", затримка сигналів може бути визначена для базисів Радемахера та Галуа відповідно:

$$V_{\Sigma R} = \frac{1}{3kT_{LE}} \quad (6)$$

$$V_{\Sigma G} = \frac{1}{5T_{LE} + kQ_{LE}}. \quad (7)$$

З виразів (6,7) випливають наступні залежності (рис.5) часу затримки від розрядності суматора.

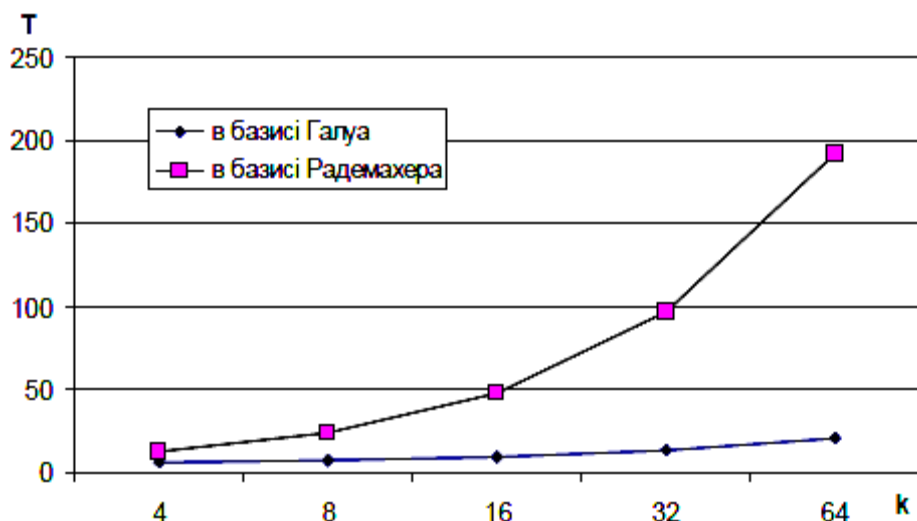
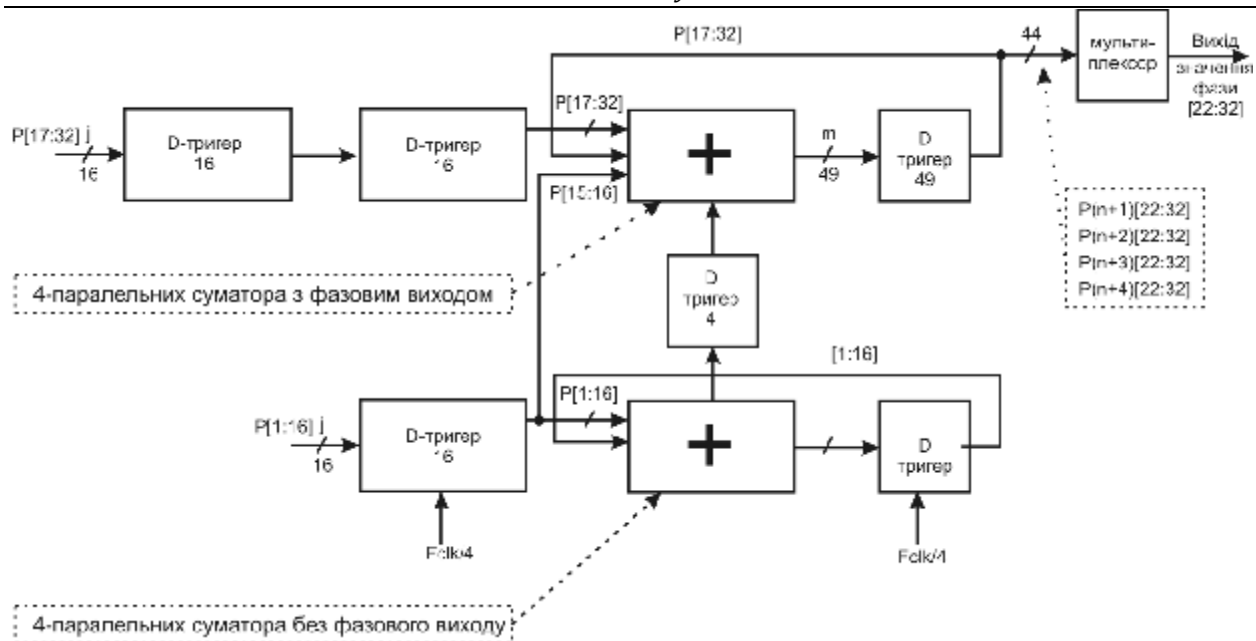


Рис. 5. Залежність часу затримки паралельних суматорів в базисі Радемахера та Галуа [3]

З графіка на рис. 5 можна побачити, що при використанні суматорів з розрядністю $k = 16-64$ швидкодія у базисі Галуа перевищує швидкодію суматорів у базисі Радемахера в 5–9 разів.

Вирішення завдання

На мою думку, більш простою для практичного використання є структура синтезатора із суміщеними технологіями – конвеєрною та прогресія станів. На рис. 6 представлено структурну схему синтезатора з конвеєрною організацією, де молодші розряди [1:16] обраховуються за технологією прогресія станів. Такий суматор не має великої кількості логічних елементів, як у конвеєрній технології, також відпадає необхідність у побудові надто розгалуженої мережі опорного тактового сигналу. Молодші розряди не виводяться із акумулятора, через те що у подальшому вони відсікаються у перетворювачі фаза-амплітуда. В групових суматорах використовуються 4 суматора для підвищення пропускної здатності акумулятора, суматори працюють у технології прогресія станів. Вхідне слово акумулятора повинно підтримуватись постійним протягом 4-тактових циклів. У структурі акумулятора використовується 2 конвеєра та 4 паралельних акумулятора з 32-бітним вхідним словом і 11-бітним фазовим виходом. Якщо N -бітний акумулятор застосовує K паралельних суматорів, кількість вхідних станів зменшується до M/K за тієї самої пропускної здатності, що й у M -конвеєрного акумулятора. Кількість мікросхем, що використовується у конвеєрі дорівнює $N \times (M/K + 1)/2$. Кількість елементів акумулятора зменшується до $1/K \times (M + K)/(M + 1)$. Одночасно тактова частота зменшується у K раз. Таким чином енергоспоживання нашого синтезатора зменшується до $1/K^2 \times (M + K)/(M + 1)$. Для двоконвеєрного фазового акумулятора з 4-ма паралельними акумуляторами, який має таку саму пропускну здатність, що й 8-бітний конвеєрний акумулятор, кількість логічних елементів та енергоспоживання зменшаться відповідно на $1/4$ та $1/12$ відповідно.



Висновки

Розглянуто принципи організації фазових акумуляторів цифрових синтезаторів частоти DDS. Проведено класифікацію та виконано аналіз функціонування фазових акумуляторів. Розглянуто основні джерела виникнення хибного синтезу сигналів у них. Розглянуто можливості застосування конвеєрних та паралельних структур для зменшення загального рівня споживання акумулятора фази, підвищення максимальної синтезованої частоти. Розглянута можливість застосування базису Галуа для покращення швидкодії синтезатора. Запропоновано модифіковану структуру фазового акумулятора з конвеєрною організацією із паралельним підсумовуванням. Запропоновані структури фазових акумуляторів можуть бути використані у високошвидкісній апаратурі синтезу частоти, до якої висуваються вимоги високої точності синтезу частоти зі зменшеним енергоспоживанням.

Література

1. Vankka J. Direct Digital Synthesizers: Theory, Design and Applications/ Vankka J. // Helsinki University of Technology. – 2000. – С. 192.
2. Byung-Do Yang, Jang-Hong Choi, Seon-Ho Han An 800-MHz Low-Power Direct digital Frequency synthesizer With an On-Chip D/A converter/ Byung-Do Yang // IEEE Journal of solid-state circuits, vol.39, №5. – 2004.
3. Николайчук Я.М. Теоретичні засади та принципи побудови арифметико-логічного пристрою на основі вертикально-інформаційної технології / Я.М. Николайчук, О.М. Заставний, П.В. Гуменний // Вісник ХНУ. – 2012. – № 2. – С. 190–196.
4. Манассевич В. Синтезаторы частот. Теория и проектирование / Манассевич В. ; пер. с англ. – [под ред. А.С. Галина]. – М. : Связь, 1979.
5. Yuanwang Yang, Jingye Cai A Novel DDS Structure with Low Phase Noise and spurs/ Yuanwang Yang // UESTC, Chengdu. – 2011.

Надійшла 22.6.2012 р.
Рецензент: д.т.н. Троцишин І.В.