

УДК 004.2

А.С. ЛЯПАНДРА

Тернопільський національний економічний університет

ЗМЕНШЕННЯ ЧАСОВИХ ЗАТРИМОК ПЛІС У РЕКОНФІГУРОВАНИХ КОМП'ЮТЕРНИХ СИСТЕМАХ

В статті показано актуальність задачі підвищення продуктивності реконфігурованих комп'ютерних систем (РКС) шляхом зменшення часових затримок ПЛІС. На основі аналізу процесу проектування виявлено необхідність підвищення ефективності проектування РКС на рівні концептуального проектування при виборі апаратних засобів та врахуванні взаєморозташування критичних до часу структурних блоків ПЛІС та швидкості обміну інформацією ресурсів комунікаційної матриці. Показана можливість використання апаратних ресурсів підвищення часових характеристик сигналів ПЛІС серії Spartan-6.

The article shows the urgency of the task productivity reconfigurable computer systems (RCS) by reducing time delays of FPGA. On the basis of the design process revealed the need to improve the design of RCS at the conceptual design of the choice of hardware and taking into account the relative positions critical to the time of building blocks FPGAs and speed of information exchange resources of the communication matrix. The possibility of the use of hardware resources improve time characteristics of signals FPGA series Spartan-6.

Ключові слова: продуктивність, реконфігуровані комп'ютерні системи, часові затримки, ПЛІС, концептуальне проектування, комунікаційна матриця.

Постановка задачі

Зважаючи на широке застосування результатів складного математичного моделювання в діяльності людини, існує необхідність у підвищенні продуктивності комп'ютерних систем (КС). Підвищення частоти роботи процесора не призводить до пропорційного зменшення тривалості розв'язання задач, оскільки реальна продуктивність багатопроцесорних обчислювальних систем становить 5–10 % від пікової [1]. Причиною такої незначної частини реальної продуктивності КС є невідповідність між архітектурою КС та інформаційною структурою задачі, яку розв'язують на даній КС [2]. Поява нової елементної бази – програмованих логічних інтегральних схем (ПЛІС) уможливила створення комп'ютерних систем з архітектурою, яку реконфігурують відповідно до структури задачі – реконфігурованих комп'ютерних систем (РКС). Зменшення вартості ПЛІС та збільшення логічних комірок створює передумови до широкого впровадження таких систем, а тому задача аналізу апаратних засобів з метою зменшення часових затримок ПЛІС реконфігурованих комп'ютерних систем є актуальною.

Проектування реконфігурованих комп'ютерних систем

Проектування РКС полягає в проведенні комплексу робіт з метою отримання технічної документації на всю або певну частину КС, що дає можливість реалізувати нову або модернізувати існуючу з заданими властивостями і функціонуванням у визначених умовах. Для цього проводять певні проектні процедури, такі як синтез функціональної схеми КС, моделювання, верифікація, трасування та ін. Послідовність проектних процедур утворює рівень проектування. Залежно від складності системи застосовують каскадний, поетапний або спіралеподібний маршрут проектування. Оскільки КС є складними системами, то необхідно застосувати спіралеподібний маршрут проектування. Для нього характерними є наявність декількох рівнів, кроків та ітерацій, з верифікацією та оптимізацією отриманих результатів на кожному етапі та з можливістю повернення назад і переглядом попередніх рішень [3].

Пропонується застосувати низхідне проектування у якому об'єктом проектування є КС та їх блоки на високому рівні абстракції, тобто корінь дерева, а тому характеристики специфікації системи відомі вже на початкових етапах проектування. Мінімальною інформацією, яку необхідно вказати у технічному завданні є функції КС або їх блоків, ієрархічний поділ на блоки. Проводять оптимізацію отриманих примітивів нижчого рівня за заданими у технічному завданні критеріями. Рух вниз завершується проектуванням примітивів найнижчого рівня (листя) проекту. Кінцевим результатом спадного проектування є структурне або схемне представлення проекту. На сьогоднішній час намітилася тенденція до застосування низхідного руху при проектуванні КС у зв'язку з тим, найбільший час проектування КС припадає на системний рівень, а основну роботу виконують інженери-системотехніки [3].

Застосування низхідного проектування дає можливість створити специфікації проекту із заданими функціональними вимогами, що зменшує ймовірність отримання непрацездатної КС; отримати на системному рівні ефективні тести для верифікації та атестації проекту, тест-вектори для контролю спроектованих КС.

Недоліком низхідного проектування є можливість отримання необхідності застосування нестандартних компонент КС, що може бути причиною збільшення загальної вартості проекту. Проте внаслідок застосування сучасної елементної бази вплив цього недоліку нівелюється. Тому все більшого застосування при проектуванні КС набувають замовні мікросхеми та ПЛІС, що характеризується єдиним поглядом в області розроблення маршрутів проектування КС внаслідок широкого застосування ПЛІС при

проектуюванні замовних мікросхем на етапі прототипування з одного боку, та перехід реалізації вдалих проектів від застосування ПЛІС до замовних мікросхем – з іншого.

Спочатку проектування КС проводиться на концептуальному рівні, на якому визначають загальну архітектуру та структуру КС або її блоків, алгоритми їх функціонування. На початковому етапі розробляють систему технічних завдань, згідно з якими створюють технічний проект з описом алгоритмів функціонування всіх компонентів КС [3].

Складність КС ставить вимогу щодо її проектування у тісній співпраці декількома групами проєктантів. Тому для коректної передачі відомостей між цими групами застосовують специфікації проекту – віртуальні моделі системи. Тому при формалізації процесу проектування обчислювальних пристроїв та систем на базі ПЛІС застосовують математичні описи функціональних, динамічних та структурних моделей. Кожна з цих моделей описує відповідну частину КС [4].

Цільовою функцією концептуального рівня є отримання загальної специфікації КС. Специфікацію виконують на мові високого рівня (як правило, C/C++) безвідносно до конкретної КС. На основі специфікації досліджують варіативну множину структур, архітектур, алгоритмів КС. Шляхом моделювання здійснюють оцінювання їх ефективності, перевіряють відповідність поведінки КС заданій та вибирають оптимальне рішення на основі критеріїв згідно з технічним завданням. Оскільки на основі результатів концептуального проектування паралельно проводять інші види проектування КС, то робота на цьому рівні вимагає високої відповідальності, а допущена помилка призводить до значного здорожчення собівартості проекту та характеризується складністю її виявлення впродовж всього маршруту проектування [3].

Результатом проектування КС на концептуальному рівні є загальна специфікація системи (функціональна модель), поведінкова модель, загальна архітектура (для визначення необхідних ресурсів та їх організації).

На концептуальному рівні проектування визначають часову та апаратну складність системи безвідносно до розміщення структурних частин ПЛІС. Оскільки частотні характеристики сучасних КС наближаються до граничного рівня апаратних засобів, то це може викликати виявлення неможливості чи, що значно складніше тестувати, некоректності функціонування такої КС, внаслідок неврахування варіативності часових затримок поширення сигналів різними лініями та магістралями вибраної ПЛІС. При цьому існує необхідність в поверненні на рівень концептуального проектування в частині вибору апаратного засобу і відкоригувати подальші результати процедури проектування.

Для підвищення ефективності проектування КС необхідно ще на рівні концептуального проектування при виборі апаратних засобів врахувати взаєморозташування критичних до часу структурних блоків ПЛІС та швидкість обміну інформацією доступної частини комунікаційної матриці.

Оскільки задача оптимального синтезу КС зводиться до задачі оптимального вибору рішення з попередньо сформованої бібліотеки методів та відповідних архітектур [2], то це дає можливість більш коректно вибрати пару «метод– архітектура» для конкретної проблемної ситуації.

Зменшення часових затримок ПЛІС реконфігурованих комп'ютерних систем

Проведемо аналіз структурної організації ПЛІС серії Spartan-6. Програмована логічна інтегральна схема є електронним компонентом, що характеризується завданням логіки роботи програмним шляхом. Завдяки можливості виконання функцій запам'ятовуючого пристрою, операційного та керуючого автоматів, ПЛІС використовується для реалізації складних пристроїв та систем. Апаратно конфігурування ПЛІС реалізується програматорами. Необхідну структуру пристрою задають в налагоджувальних середовищах у вигляді принципової електричної схеми або програми на спеціальних мовах опису апаратних засобів (Verilog, VHDL, AHDL та ін.). Альтернативою ПЛІС можуть бути програмовані логічні контролери, базові матричні кристали, спеціалізовані замовні великі інтегральні схеми (ВІС), спеціалізовані комп'ютери, процесори, мікроконтролери у порівнянні з якими застосування ПЛІС має такі переваги [1]:

1) наявність бібліотек, що містять широкий спектр компонент від найпростіших логічних елементів до мікропроцесорів, що дає в розпорядження розробнику потужний інструмент проектування та реалізації КС;

2) розробник без сторонньої допомоги програмним чином може багаторазово здійснювати корегування архітектури КС без змін друкованої плати та елементів на ній, що зменшує терміни впровадження КС на ПЛІС;

3) поєднання в межах ПЛІС функціональних блоків, функції яких реалізують різні мікросхеми, що забезпечує зменшення габаритів КС;

4) можливість динамічної реконфігурації КС згідно із задачею, яка планується до виконання.

Реконфігурація ПЛІС реалізується за допомогою файла конфігурації для певної ПЛІС, згенерованого засобами САПР. Можливість зміни структури та взаємозв'язку між блоками даної структури визначає властивість реконфігурованості. Під конфігурацією розуміють певну сукупність апаратних засобів і з'єднань між ними, що дає можливість реалізувати необхідний алгоритм [2]. Апаратно алгоритм реалізують на основі конфігурованих логічних блоків (КЛБ), що утворюють матрицю логічних комірок. Кожен такий блок містить комбінаційну частину, запам'ятовуючий елемент і внутрішні блоки керування та трасування [2]. Тривалість затримки сигналу, що проходить через комбінаційний блок не залежить від функції цього блоку, тобто $t_{кч} = \text{const}$.

Між собою КЛБ з'єднані програмованою матрицею міжз'єднань, яка може бути відмінна в різних серіях ПЛІС. На сьогодні фірма Xilinx пропонує ПЛІС серій Artix-7, Kintex-7, Virtex-7, Spartan-6, Virtex-6,

Spartan-3. Проведемо загальну характеристику та виявимо особливості кристалів з архітектурою FPGA серії Spartan-6, оскільки вони характеризуються значними апаратними ресурсами при доступній вартості, тобто низьким показником ціна/продуктивність. Кристали серії Spartan-6 виготовляють за КМОП-технологією 45 нм з дев'ятьма шарами металізації. Архітектура ПЛІС цієї серії відрізняється від структури кристалів сімейств Spartan попередніх серій ефективним поєднанням спеціалізованих апаратних модулів та архітектурних рішень кристалів серій Virtex-5 та Virtex-6 [5].

Стосовно формування та розподілу тактових і керуючих сигналів кристали серії Spartan-6 характеризуються використанням: нової інфраструктури розподілу тактових сигналів, що забезпечує мінімізацію затримок і розбіжності фронтів тактових сигналів, що виникають при розповсюдженні цих сигналів усередині кристалів; впровадженням блоків управління синхронізацією Clock Management Tile (CMT), що поєднують в собі переваги цифрових модулів Digital Clock Manager (DCM) і аналогових модулів фазового автопідстроювання частоти Phase-Locked-Loop (PLL).

У кристалах серії Spartan-6 застосовується система формування та розподілу тактових сигналів, яка має переваги в порівнянні з відповідними ресурсами ПЛІС сімейств Spartan-3, що дає можливість забезпечити вищу продуктивність пристроїв. В основі цієї системи є блоки управління синхронізацією CMT і розгалужена інфраструктура розподілу тактових сигналів усередині кристалів.

Структурно глобальні буферні елементи (BUFG/BUFGMUX) та модулі комутації з'єднані між собою по вертикальній 16-розрядній магістралі. До них під'єднані лінії входних тактових сигналів лівого та правого банків введення/виведення, лінії входних тактових сигналів верхнього та нижнього банків введення/виведення, лінії тактових сигналів від PLL/DCM. Почергово на мультиплексори горизонтальних ліній передачі тактових сигналів подаються попарно сигнали від:

1) вертикальної магістралі та модуля DCM (x2);

2) вертикальної магістралі та блоку управління синхронізацією CMT. CMT утворений модулями PLL та DCM (x2).

Сигнали з мультиплексорів горизонтальних ліній передачі тактових сигналів подаються на горизонтальні лінії передачі тактових сигналів.

Структура блоків управління синхронізацією CMT кристалів серії Spartan-6 містить ті ж компоненти, що і в ПЛІС серії Virtex-5. Кожен блок управління синхронізацією кристалів сімейств Spartan-6 LX і Spartan-6 LXT містить два DCM і PLL. Кількість блоків управління синхронізацією CMT в кристалах даної серії залежить від типу ПЛІС і знаходиться в межах від двох до шести.

Оскільки ПЛІС серії Spartan-6 утворена двома сімействами кристалів: Spartan-6 LX і Spartan-6 LXT, то їх необхідно розглянути окремо. Так, ПЛІС сімейства Spartan-6 LX орієнтовані для реалізації проектів пристроїв, що виконуються на базі стандартних логічних ресурсів (конфігурованих логічних блоків CLB, блокової пам'яті Block RAM). У цьому сімействі є вісім типів кристалів, що характеризуються різним об'ємом доступних ресурсів та функціональних можливостей (таблиці 1) [5].

Таблиця 1

Основні параметри ПЛІС сімейства Spartan-6 LX [5]

Тип ресурсів ПЛІС	Тип кристала							
	XC6SLX4	XC6SLX9	XC6SLX16	XC6SLX25	XC6SLX45	XC6SLX75	XC6SLX100	XC6SLX150
Логічні ресурси								
Кількість секцій	600	1430	2278	3750	6822	11 662	15 822	23 038
Загальна кількість КЛБ	4800	11 440	18 224	30 064	54 576	93 296	126576	184304
Кількість логічних осередків	3840	9152	14 579	24 051	43 661	74 637	101 261	147 443
Модулі синхронізації								
Кількість CMT	2	2	2	2	4	6	6	6
Кількість DCM	4	4	4	4	8	12	12	12
Кількість PLL	2	2	2	2	4	6	6	6

ПЛІС сімейства Spartan-6 LXT орієнтовані на розробку телекомутаційних пристроїв і вбудованих мікропроцесорних систем, що використовують високошвидкісні інтерфейси передачі даних. Архітектура кристалів цього сімейства відрізняється від архітектури ПЛІС сімейства Spartan-6 LX наявністю високошвидкісних приймачів RocketIO типу GTP і апаратних блоків інтерфейсу PCI Express. Присутність в кристалах сімейства Spartan-6 LXT достатньо великої кількості апаратних секцій цифрової обробки сигналів DSP48A1 дає можливість також ефективно застосовувати їх для реалізації пристроїв ЦОС. Інформація щодо доступних логічних і спеціалізованих апаратних ресурсів синхронізації сигналів кристалів сімейства

Основні параметри ПЛІС сімейства Spartan-6 LXT [5]

Тип ресурсів ПЛІС	Тип кристала				
	XC6SLX25T	XC6SLX45T	XC6SLX75T	XC6SLX100T	XC6SLX150T
Логічні ресурси					
Кількість секцій	3750	6822	11 662	15 822	23 038
Загальна кількість КЛБ	30 064	54 576	93 296	126 576	184304
Кількість логічних осередків	24 051	43 661	74 637	101 261	147 443
Модулі синхронізації					
Кількість CMT	2	4	6	6	6
Кількість DCM	4	8	12	12	12
Кількість PLL	2	4	6	6	6

Проведемо аналіз спеціалізованих апаратних ресурсів зменшення затримок сигналів. Цифрові модулі DCM виконують такі функції [5]: формування сигналів синхронізації з частотою вхідного тактового сигналу з різними значеннями фазового зсуву; ділення частоти вхідного сигналу синхронізації на фіксоване значення, що знаходиться в межах від 1,5 до 16; формування сигналів синхронізації з подвоєним значенням частоти вхідного тактового сигналу; усунення розбіжності фронтів тактових сигналів, що виникають при розповсюдженні цих сигналів усередині кристалів або на друкованих платах; цифровий синтез сигналів з частотою, яка визначається шляхом множення та ділення частоти вхідного сигналу синхронізації в межах допустимого діапазону, з можливістю динамічного управління; автономна генерація сигналів синхронізації. Основні спеціалізовані апаратні ресурси ПЛІС зменшення затримок сигналів показані на рисунку 1.

Модулі фазового автопідстроювання частоти PLL можуть здійснювати функції як синтезу вихідних сигналів з різними значеннями частоти, так і підвищення стабільності вхідних і вихідних сигналів блоків управління синхронізацією CMT. Ці модулі підтримують широкий діапазон частот вхідних сигналів: від 19 до 500 МГц. При цьому керований напругою генератор, який є основним елементом модулів фазового автопідстроювання частоти, дає можливість формувати вихідні сигнали зі значеннями частот, що сягають 1 ГГц.

Модулі DCM і PLL використовують для формування необхідної сукупності тактових сигналів як незалежно один від одного, так і у вигляді каскадних з'єднань DCM-PLL або PLL-DCM.

Для зменшення часових затримок ПЛІС реконфігурованих комп'ютерних систем за основу прийнято методіку формалізації процесу проектування обчислювальних пристроїв та систем на базі ПЛІС [4] згідно з якою конструктиви $B = \{b\}$ розділимо на дві множини: множина блоків ПЛІС BC та множина елементів комунікаційних мереж BN . Множину блоків ПЛІС представимо областю (d_1-d_n) :

$$BC = \langle BCd_{11}, \dots, BCd_{n1} \rangle. \quad (1)$$

Множина комунікаційних мереж BN утворена множиною глобальних BN_s та локальних BN_d мереж:

$$BN = \langle BN_s, BN_d \rangle. \quad (2)$$

Глобальні мережі поділяються на горизонтальні BN_{s1} та вертикальні BN_{s2} . Локальні мережі – на long line BN_{lc} , hex-line BN_{ll8} , double-line BN_{ll2} , direct-line BN_{ll1} .

ПЛІС представимо як матрицю скінченної кількості структурних елементів:

$$BC = \langle BCd_{11}, \dots, BCd_{nn}, BNllc_{11}, \dots, BNllc_{ln}, BNll8_{11}, \dots, BNll8_{ln}, BNll2_{11}, \dots, BNll2_{ln}, BNll1_{11}, \dots, BNll1_{ln} \rangle, \quad (3)$$

Процес проектування зводиться до розв'язання задачі синтезу структури на базі конструктивів $\{b\}$ алфавіту B . Представимо його прямо направленим графом, згідно з яким задача проектування D може бути

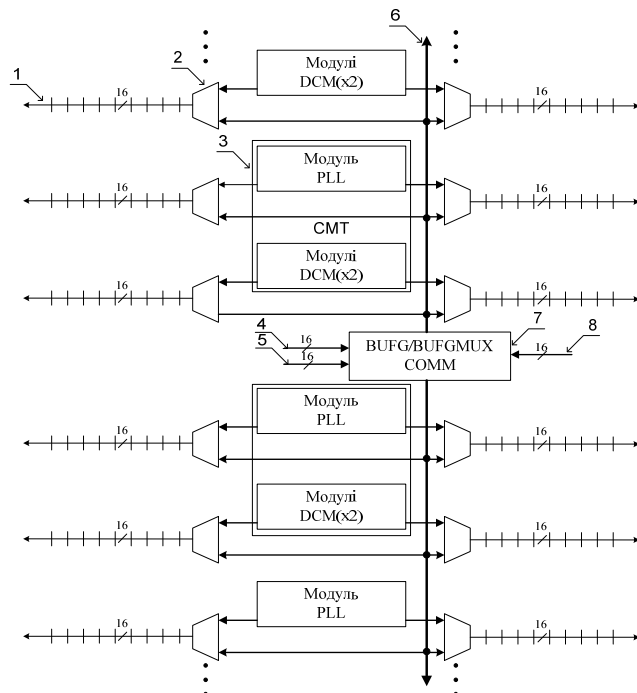


Рис. 1. Основні спеціалізовані апаратні ресурси ПЛІС зменшення затримок сигналів: 1 – горизонтальні лінії передачі тактових сигналів; 2 – блоки керування синхронізацією CMT; 3 – мультиплексори горизонтальних ліній передачі тактових сигналів; 4 – лінії вхідних тактових сигналів лівого та правого банків введення/виведення; 5 – лінії тактових сигналів від PLL/DCM 6 – вертикальна магістраль; 7 – глобальні буферні елементи/мультиплексори BUFG/BUFGMUX (16) і модуль комутації; 8 – лінії вхідних тактових сигналів верхнього та нижнього банків введення/виведення

розв'язана на основі конструктиву В. Кожен елемент характеризується обчислювальною складністю, тобто відповідною апаратною x_b та часовою t_b . Розв'язання задачі синтезу полягає у виборі серед множини згенерованих альтернативних структур на базі конструктиву В однієї структури, яка задовольняє необхідний критерій. У випадку поставлення вимоги підвищення швидкодії РКС таким критерієм є зменшення часової t_b складності. Тому задача синтезу структури РКС зводиться до вибору серед множини альтернативних структур $BC = \langle BCd_1, \dots, BCd_n, BN_{1c1}, \dots, BN_{1cn}, BN_{1s1}, \dots, BN_{1sn}, BN_{1t1}, \dots, BN_{1tn} \rangle$ такої структури BC, яка мінімізує цільову функцію:

$$T = \sum_b \sum_c \sum_n b_{bcn} \cdot t_{bcn} \Rightarrow \min, \quad (4)$$

з врахуванням відповідних апаратних обмежень на реалізацію структури BC

$$Q = \sum_b \sum_c \sum_n b_{bcn} \cdot t_{bcn} \Rightarrow \min.$$

Висновки

В роботі показано, що для підвищення ефективності проектування РКС на рівні концептуального проектування при виборі апаратних засобів існує потреба врахувати взаєморозташування критичних до часу структурних блоків ПЛІС та швидкість обміну інформацією доступної частини комунікаційної матриці. Наведено апаратні ресурси підвищення часових характеристик сигналів ПЛІС серії Spartan-6. Визначено цільову функцію та апаратні обмеження на реалізацію структури.

Література

1. Каляев А.В. Многопроцессорные вычислительные системы с программируемой архитектурой на основе ПЛИС / А.В. Каляев, И.А. Каляев, И.И. Левин / Вестник ЮНЦ РАН, 2004. – С. 24 – 33.
2. Архитектурно-структурная организация, разработка и применение реконфигурируемых устройств на базе ПЛИС [Текст]: дис.... д-ра техн. Наук: 05.13.05 / Опанасенко Владимир Николаевич; НАН Украины, Институт кибернетики им. В.М.Глушкова. – К., 2007. – 423 с. – Библиогр.: С. 289-308.
3. Бухтеев А.В. Методы и средства проектирования систем на кристалле // Chip News Украина – 2003. – № 5. – С. 7– 15.
4. Палагин А.В., Опанасенко В.Н. Реконфигурируемые вычислительные системы. – К.: Просвіта, 2006. – 293 с.
5. All Programmable Technologies from Xilinx Inc [Електронний ресурс]. – San Jose: Xilinx, Inc. 2012. Режим доступа: <http://www.xilinx.com>.
6. Опанасенко В.М., Лісовий О.М. Формалізація процесу проектування обчислювальних пристроїв та систем на базі ПЛІС // Комп'ютерні засоби, мережі та системи. – 2009. – № 8. – С. 58– 63.

Надійшла 28.9.2012 р.

Рецензент: д.т.н. Березький О.М.

УДК 681.12

Й.Й. БІЛИНСЬКИЙ, І.В. МИКУЛКА, О.М. СУХОЦЬКИЙ

Вінницький національний технічний університет

МЕТОД ПЕРВИННОЇ ОБРОБКИ ІНТЕРФЕРЕНЦІЙНОГО ЗОБРАЖЕННЯ

В роботі представлено метод обробки інтерференційних картин, за допомогою якого підвищується точність подальшого визначення шорсткості поверхні.

This paper presents a method of processing the interference pattern by which increased the accuracy further definition shorohovatositi surface.

Ключові слова: інтерференція, обробка, шорсткість.

Вступ

Шорсткість (мікрогеометрія) поверхні є однією з важливіших характеристик матеріалів і впливає на стійкість до зношування, контактну жорсткість, корозійну стійкість та інші функціональні характеристики поверхонь. На даний час питання точного оцінювання шорсткості вивчено недостатньо, а оскільки переважна більшість методів є оптичними, то особливо гостро стоїть задача обробки зображень, отриманих тими чи іншими методами [1].

Розробка методик, що дозволяють автоматизувати процес обробки зображень підвищують точність вимірювання шорсткості та являються, на сьогодні, актуальною задачею [2].

Отже, метою роботи є розробка методу первинної обробки інтерференційних зображень для подальшого визначення величини шорсткості поверхні.

Основна частина

Явище інтерференції є досить добре вивченим [3–6]. При цьому важливими параметрами для інтерпретації інтерференційної картини є ширина інтерференційної смуги та різниця ходу пучків.