

МЕТОД ПОБУДОВИ ПАРАЛЕЛЬНОГО АНАЛОГО-ЦИФРОВОГО ПЕРЕТВОРЮВАЧА У ТЕОРЕТИКО-ЧИСЛОВОМУ БАЗИСІ ГАЛУА З НАЙМЕНШИМ ЧИСЛОМ ІМПУЛЬСНИХ КОМПАРАТОРІВ

Описано структури та принципи організації роботи відомих аналого-цифрових перетворювачів в базисі Галуа. Розроблено одноканальний та на його основі багатоканальний перетворювач Галуа з удосконаленими характеристиками. Досліджена апаратна та структурна складність розробленого АЦП у порівнянні з відомими аналогами.

Ключові слова: аналого-цифровий перетворювач (АЦП), вертикально-інформаційна технологія (ВІТ), теоретико-числовий базис (ТЧБ).

P.V. HUMENNIY

Ternopil National Economic University

METHOD DEVELOPMENT OF PARALLEL ANALOG-DIGITAL CONVERTER IN THE GALOIS THEORETIC-DIGITAL BASIS FROM THE SMALLEST NUMBER PULSE COMPARATOR

Abstract- The aim is to develop a single channel and multi-channel analog-to-digital converter the theoretical and digital basis Galois, with the lowest number of pulse comparators, thus reducing hardware complexity.

We are describing the structure and principles of the organization of renowned analog-to-digital converters in Galois basis. The main characteristic of code systems is Galois recurrent packaging code elements and full correlation sequence elements that allows access from a parallel presentation format digit numbers (binary system) to bit-oriented formation of each message (vertical information technology). A single-channel and multi-channel ADC Galois with improved characteristics. Investigated hardware and structural complexity of the developed converter in comparison with known analogues.

The research is the basis for further improvement of structures, and improving system performance special processor components based on vertical information technology.

Keywords: analog-to-digital converter (ADC), a vertically-Information Technology (VIT), theoretical and digital basis (TDB).

Вступ

Тенденції розвитку сучасних технологій розробки мікропроцесорних систем та їх компонентів з кожним роком набирає тенденції до вдосконалення. Важливою компонентою таких систем являється аналого-цифровий перетворювач (АЦП), який використовується для розв'язання широкого класу задач і вимагає постійного вдосконалення та оптимізації.

Постановка проблеми. Методологічною основою при розробці більшості процесорів являється двійкова система числення в теоретико-числовому базисі (ТЧБ) Радемахера. Дослідження тенденції розвитку процесорів обумовленні теоретичним вичерпанням застосування базису Радемахера для побудови, як спецпроцесорів так і його компонент до яких ставляться все жорсткіші вимоги щодо структурної побудови, кількості зовнішніх виводів та інше. Світовий досвід за останні роки демонструє тенденції у дослідженні інших базисів: унітарного, Хаара, Крейга, Крестенсона, Галуа, які також породжують системи числення [1]. У зв'язку з цим досить актуальним для побудови АЦП та БАЦП процесора являється базис Галуа, який добре поєднується з вертикально-інформаційною технологією (ВІТ) [2]. В ряді досліджень [2, 3] переконливо показано, що використання нових теоретико-числових базисів є перспективним. Зокрема використання базису Галуа, який забезпечує суттєво більший рівень упаковки інформації, а в окремих випадках дозволяє спростити реалізацію спецпроцесорів і покращити їх системні характеристики. Також важливою особливістю базису Галуа є генерація рекурентних біт-орієнтованих кодових послідовностей. Дослідження функціональних можливостей АЦП Галуа дозволить знайти ефективні рішення для розробки процесорних пристроїв з вдосконаленими характеристиками.

Аналіз останніх досліджень і публікацій. Великий вклад в розвиток теорії алгоритмів та побудови спецпроцесорів та їх компонент внесли українські вчені: В. П. Боюн, А. І. Кондалев, Б. Н. Малиновський, О. В. Палагін, Я. М. Николайчук, А. О. Мельник, М. В. Черкаський, [1, 4–8]. Значний внесок в розвиток теорії кодування даних на основі базису Галуа та вертикально-інформаційної технології зробили: Я. М. Николайчук, В.С. Глухов, О.В. Дрозд [3, 9, 10].

Відомі успішні спроби застосування ТЧБ Галуа для побудови спецпроцесорів та його компонентів, включаючи обробку біт-орієнтованих потоків, зроблені відомими зарубіжними фірмами розробниками мікропроцесорної техніки та електроніки:

- Корпорацією Fujitsu Limited в [11] розроблено процесор, арифметико-логічний пристрій якого забезпечує просту реалізацію арифметичних і логічних операцій в базисі Галуа та знижує апаратну складність процесора в порівнянні з аналогічним процесором в базисі Радемахера;
- фахівці Sony Corporation в роботі [12] розробили комбінаційну схему, яка використовується для корекції помилок при передачі і запису цифрової інформації;
- Analog Devices розробила пристрій [13] для множення, додавання-множення, множення-накопичення, яка характеризується більш високою швидкістю у порівнянні з базисом Радемахера.

Представлені наукові дослідження вітчизняних і зарубіжних науковців та технічні рішення провідних фірм виробників мікропроцесорної техніки створюють подальшу перспективу для нових теоретичних і практичних розробок на основі базису Галуа та вертикально-інформаційної технології.

Мета роботи. Метою роботи є розробка одноканального та багатоканального АЦП в теоретико-числовому базисі Галуа, з найменшим числом імпульсних компараторів, що дозволить зменшити апаратну складність.

Постановка завдання. Основною задачею наукового дослідження є вирішення наступних науково-технічних завдань:

1. Дослідження характеристик теоретико-числового базису Галуа.
2. Аналіз відомих структур аналого-цифрового перетворювача в базисі Галуа.
3. Розробка ефективних методів удосконалення АЦП Галуа.

Теоретичні принципи теоретико-числового базису Галуа. Основною характеристикою кодових систем Галуа є рекурентна упаковка кодових елементів і повна кореляційна залежність елементів послідовності, що дозволяє перейти від паралельного формату представлення розрядів чисел (двійкова система числення) до біторієнтованого формуванням кожного з повідомлень (вертикальна інформаційна технологія). Суть рекурентності полягає в максимальній упаковці біторієнтованої кодової послідовності згідно виразу (1):

$$C(x) = \sum_{i=0}^{n-1} c_i x_i \text{ mod } P, \quad (1)$$

де

$$\begin{aligned} C(x) = & (a_{n-1}d_{n-1}^{n-1} + a_{n-2}d_{n-2}^{n-2} + \dots + a_i d_1^{n-1} + a_i d_0^{n-1})x^{n-1} \text{ mod } P + (a_{n-1}d_{n-1}^{n-2} + a_{n-2}d_{n-1}^{n-2} \\ & + a_{n-2}d_{n-2}^{n-2} + \dots + a_1 d_1^{n-2} + a_0 d_0^{n-2})x^{n-2} \text{ mod } P + \dots + (a_{n-1}d_{n-1}^1 + a_{n-2}d_{n-2}^1 + \dots \\ & + a_1^2 d_1^1 + a_0 d_0^1)x \text{ mod } P + (a_{n-1}d_{n-1}^0 + a_{n-2}d_{n-2}^0 + \dots + a_1 d_1^0 + a_0 d_0^0)x \text{ mod } P. \end{aligned}$$

Вирази (1) для найпростішого незвідного полінома отримує вигляд:

$$X_{i+1} = \sum_{i=1}^n (X_i \oplus X_{i-j}), \quad (2)$$

де $X_i \in \overline{0,1}$; $i \leq j \leq n$; \oplus – символ складання по $\text{mod } 2$, n – число пар елементів кодового ключа. Коди поля Галуа згідно з класифікацією відносяться до підкласу циклічних блокових кодів, які володіють всіма основними властивостями завадостійких кодів. Найбільш зручною формою представлення кодів поля Галуа – є вираження незвідного полінома [1]:

$$G(x) = a_{n-1} \times x^{n-1} + a_{n-2} \times x^{n-2} + \dots + a_1 \times x + a_0, \quad (3)$$

де $a_0 - a_{n-1}$ – числа, котрі рівні «0» або «1», і відповідають відповідним значенням розрядів кодових комбінацій. Код Галуа, який використовується в даному класі АЦП формується на основі рекурентного виразу (4):

$$G_{i+1} = G_i \oplus \overline{G_{i-n}}; n = 4, \quad (4)$$

та має вигляд послідовності елементів 1111010110010000, яка формується на основі ключів незвідних поліномів[1] коду Галуа, які кодують числа 0, 1, 2, ..., 15.

Вперше структури АЦП в базисі Галуа (табл. 1) запропоновані Я. М. Николайчуком, які представлені в роботах [14, 15].

Слід відмітити наступні відмінності і переваги даного класу АЦП:

- практична відсутність дешифратора паралельного коду в базисі Хаара у послідовний код базису Галуа, який реалізується на основі провідного логічного елементу “АБО”;
- можливість реалізації аналого-цифрового перетворення з буферизацією в запам’ятовуючому регістрі миттєвих значень вхідної напруги, або зчитування цифрових даних у коді Галуа за k тактів шляхом сканування вхідної напруги;
- унікальна можливість реалізації матриці компараторів з їх числом вдвічі меншим від числа рівнів квантування 2^k ;
- реалізація захисту вихідних кодів від помилок у процесі аналого-цифрового перетворення шляхом розширення числа тактів сканування $k+n$, де n – додаткові біти рекурентного коректуючого коду;
- високий рівень регулярності архітектури через відсутність пірамідального дешифратора, що суттєво спрощує його мікроелектронну реалізацію.

В даних АЦП зчитування інформації відбувається за k тактів відповідно до розрядності, структури даних перетворювачів подані. При цьому, як показано в роботі [2] АЦП в базисі Галуа характеризується низькою структурною складністю та високою швидкодією, у порівнянні до найбільш поширених перетворювачів паралельного типу внаслідок зростання складності пірамідального дешифратора кодів базису Хаара в базис Радемахера. Недоліком даної архітектури є структурна надлишковість, а також

можливий дрейф вхідної напруги в процесі її сканування та формування послідовного k розрядного коду Галуа.

Таблиця 1

Структурні схеми АЦП в базисі Галуа

№	Тип АЦП	Структура	Параметри вихідних сигналів
1	2	3	4
1.	Паралельний в базисі Галуа з буферним регістром.	<p>Число компараторів 2^k</p>	Послідовний код Галуа, g_k g_{k-1} ... g_v g_{v-1} ... g_1
2.	Скануючий в базисі Галуа на імпульсних компараторах.	<p>$k=4$ Число компараторів $2^k/2$</p>	Послідовний код Галуа, g_k g_{k-1} ... g_v g_{v-1} ... g_1

На основі викладених теоретичних положень та структур представлених в табл. 1 розроблено одноканальний аналого-цифровий перетворювач з $2^{k/2} - 2^k/8$ інвертуючими імпульсними компараторами (рис. 1а) [16]. Багатоканальний АЦП рис. 1 (б) в загальному повністю відповідає одноканальному перетворювачу в якому є n цифрових каналів перетворення.

Пристрій працює наступним чином:

- по зростаючому фронту імпульсу синхронізації на вході шини імпульсів сканування (ШС) відбувається запуск аналого-цифрового перетворювача;
- шина D встановлює RS тригери, у стан «1»;
- сума вхідної напруги U та напруги сканування багатостабільного елемента (БС) подається на входи суматора (S);
- з виходу суматора сигнал подається на від'ємні входи всіх компараторів (K_0, K_1), де K_1 – значення "1", K_0 – значення "0", штрих пунктиром позначені компаратори, які виключаються зі структури перетворювача (рис. 1а),
- з кожним тактом скануючих імпульсів, які формуються на вході шини сканування БС формує додатковий квант скануючої напруги, яка рівна одному кванту аналого-цифрового перетворювача;
- отримана скануюча напруга додається до вимірювального сигналу і викликає спрацювання відповідного імпульсного компаратора, який формує відповідний біт поля коду Галуа;
- на інтервалі компактної групи імпульсних компараторів, які формують нульові значення коду Галуа RS тригер формує нульовий потенціал на вихідній шині G пристрою;
- сигналом відповідного компаратора, який обмежує вилучену компактну групу зі сторони вищих потенціалів RS тригери по S входах встановлюються в стан «1»;
- на вихідній шині G аналого-цифрового перетворювача формується код Галуа, який відповідає вимірюваному значенню вхідної напруги.

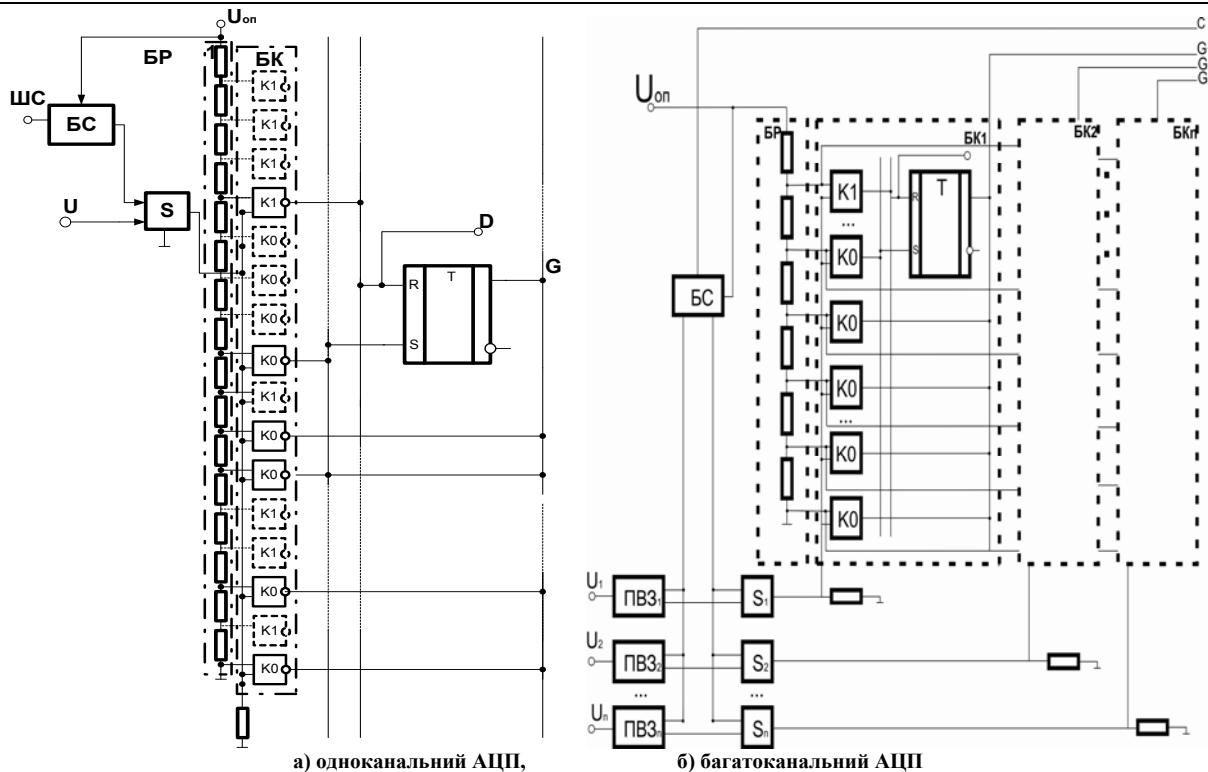


Рис. 1. Скануючий АЦП Галуа з $2^k/2 - 2^k/8$ інвертуючими імпульсними компараторами

Порівнюємо швидкість розробленого і представлених в табл. 3 аналого-цифрових перетворювачів. Швидкість паралельного АЦП Галуа з буферним регістром визначається оцінкою часової затримки сигналів в елементах:

$$T = k(t_{TP} + t_{LE}) + t_K + t_{LE}, \quad (5)$$

де t_{TP}, t_{LE} – відповідно швидкість тригера та логічного елемента.

Швидкість АЦП Галуа скануючого типу на основі імпульсних компараторів характеризується часом затримки:

$$T = k(t_C + t_{BC} + t_K + t_{LE}), \quad (6)$$

де t_C – час затримки на суматорі.

Швидкість розробленого скануючого АЦП Галуа з $2^k/2 - 2^k/8$ інвертуючими імпульсними компараторами характеризується часом затримки:

$$T = k(t_C + t_{BC} + t_K + t_{TP}), \quad (7)$$

Для кількісної оцінки швидкості АЦП прийемо, що в різних архітектурах перетворювачів використовуються однотипні елементи (компаратори, регістри, лічильники, ЦАП та інші).

Максимальну швидкість аналого-цифрового перетворення забезпечують АЦП з паралельною архітектурою (рис. 2). Швидкість розробленого АЦП на 0,28% менша у порівнянні зі скануючим.

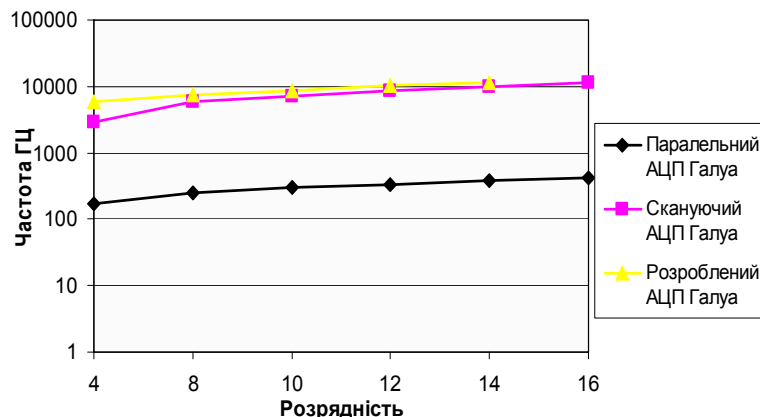


Рис. 2. Швидкість АЦП різних в базисі Галуа залежно від розрядності

Апаратна складність розробленого АЦП по відношенню до кількості використовуваних компараторів у порівнянні з відомим скануючим перетворювачем краща на 25%, а від паралельного на 62,5

% (рис. 3).

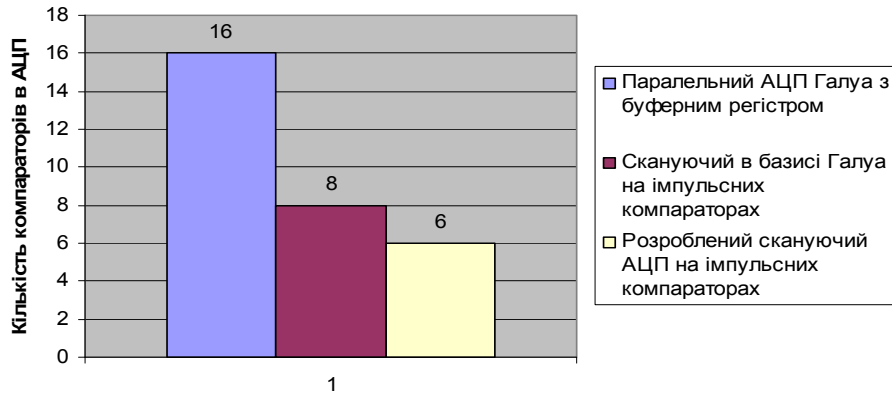


Рис. 3. Апаратна складність АЦП по відношенню до кількості використовуваних компараторів

Основною перевагою розробленого на рис. 1 одноканального перетворювача у порівнянні з представленими в табл. 1 є те, що на границях компактних груп інвертуючих імпульсних компараторів, які формують нульові біти коду поля Галуа розміщені RS тригери, що дозволяють зменшити число найбільш апаратно-складних інвертуючих імпульсних компараторів в залежності від розрядності аналого-цифрового перетворювача k .

Висновки. Запропонований метод удосконалення АЦП в базисі Галуа, дозволив на 25% зменшити кількість найбільш апаратно складних елементів – компараторів при фактично однаковій швидкодії. Проведені дослідження є основою для проведення подальшого вдосконалення структур, та покращення системних характеристик компонентів спецпроцесора на основі вертикально-інформаційної технології.

Література

1. Николайчук Я.М. Коды поля Галуа / Я.М. Николайчук – Тернопіль : ТЗОВ «Тернограф», 2012. – 576 с.
2. Гуменний П.В. Одноканальний аналогово-цифровий перетворювач (АЦП) в теоретико-числовому базисі Галуа, як компонента процесорів вертикально-інформаційної технології (ВИТ) / П.В. Гуменний // Вісник Тернопільського національного технічного університету, – Тернопіль – 2011. – Т. 16, №3. – С. 174–182.
3. Николайчук Я.М. Теоретичні засади та принципи побудови арифметико-логічного пристрою на основі вертикально-інформаційної технології / Я. М. Николайчук, О. М. Заставний, П. В. Гуменний // Вісник Хмельницького національного університету. – 2012. – № 2, – С. 190–196.
4. Малиновский Б.Н. Введение в кибернетическую технику. Параллельные структуры и методы / Б.Н. Малиновский, В.П. Буюн, Л.Г. Козлов – К. : Наук. думка, –1989. – 272 с.
5. Палагин А.В. Реконфигурируемые структуры на ПЛИС / Палагин А.В., Опанасенко В.Н., Сахарин В.Г. – УСИМ – 2000. – № 3, – С. 33–43.
6. Кондалев А.И. Высокопроизводительные преобразователи формы информации / А.И. Кондалев, и др. – К. : Наук. думка, 1987. – 280 с.
7. Мельник А.О. Архитектура компьютера / А.О. Мельник – Луцьк : Волинська обласна друкарня, 2008. – 470 с.
8. Черкаський М.В. Складність пристрою керування / М.В. Черкаський, Мурад Хуссей Халіл // Комп'ютерна інженерія та інформаційні технології, Вісник Національного університету "Львівська політехніка", – Львів, – 2004. – № 521 –С. 3–7.
9. Дрозд А. В. Использование рабочего диагностирования при решении вычислительных задач / А.В. Дрозд, М.В. Лобачев // Радиоелектронні і комп'ютерні системи. – 2006. – № 1. – С. 76–81.
10. Глухов В.С. Специализированный одnorазрядный процессор для защиты информации в гарантоздатных системах / В.С. Глухов, М.В. Ногаль // Наук.-техн. журн. "Радиоэлектронные и компьютерные системы Национальный аэрокосмический университет им. М.Е. Жуковского, "Харьковский авиационный институт". – Харьков : ХАИ. – 2008. – С. 104–109.
11. Patent №7,082,452 B2 (USA), IPC G06F 7/00. Galois field multiply/multiply-add/multiply accumulate / Yosi Stein, Haim Primo, Yaniv Sapir, – Analog Devices(USA), – Appl №10/228,526; filed 30.05.2001; date of patent 21.02.2006.
12. Patent №4,473,887 (USA), IPC G06F 7/52. Processing circuit for operation on elements of a Galois field / Kentaro Odaka (USA) Sony Corporation Tokyo, (Japan), – Appl № 360,205 ; filed 22.05.82 ; date of patent 25.09.1984.
13. Patent №6,523,054 B1 (USA), IPC G06F 7/72. Galois field arithmetic processor / Shunsuke Kamijo – Fujitsu Limited, Kawasaki (Japan), – Appl № 09/437, 473 ; filed 10.11.99 ; date of patent 18.02.2003.
14. А.с №1462477 СССР, МПК H03M1/38. Аналого-цифровой преобразователь / Я.Н.

Николайчук(СССР). – № 4129459/24–24 ; заяв. 03.06.86 ; опубл. 28.02.89, бюл. №8.

15. Николайчук Я. М. Теорія джерел інформації / Я.М. Николайчук – Тернопіль : ТзОВ «Тернограф», 2010. – 534 с.

16. А.с. №70744 U, МПК H038M. Аналого-цифровий перетворювач / Я.М. Николайчук, П.В. Гуменний (U), –№u2011 14242 ; заяв. 01.12.2011 ; опуб. 25.06.2012, бюл. № 12.

References

1. Nykolaychuk Y.M. Galois Field Codes. Ternopil, «Ternohraf», 2012, 576 p.
2. Humennyi P.V. Single-channel analog-to-digital converter (ADC) in the number-theoretic basis of Galois as a component processor vertically Information Technology (VIT), Herald of Ternopil National Technical University, Ternopil, 2011, Vol. 16, № 3, pp.174–182.
3. Nykolaychuk Y.M., Humennyi P.V. Theoretical foundations and principles of arithmetic logic unit based on information technology vertical, Bull. of the Khmelnytsky National University, 2012, № 2, pp.190–196.
4. Malinovskiy B.N., Buyun V. P., Kozlov L.G. Introduction to cybernetic technician. Parallel structure and methods, Kiev, «Scientific view», 1989, 272p.
5. Palahyn A.V., Opanasenko V.N., Saccharin V.G. Rekonfihuryion structure for FPGA, USiM, 2000, № 3, p. 33–43.
6. Kondalev A.I., et al. High-performance converters forms of information, Kiev, «Scientific view», 1987, 280p.
7. Melnyk A.O. Computer Architecture. Lutsk, Volyn Region Printing, 2008, 470 p.
8. Cherkassky M.V., Murad Hussam Khalil. The complexity of the control unit, Computer engineering and information technology, Proceedings of the National University Lviv Polytechnic, Lviv, 2004, № 521, pp. 3–7.
9. Drozd A.V., Lobachyov M.V. Using the working diagnosis for computational tasks, Radio electronic and computer systems, 2006, № 1, p. 76 - 81.
10. Gluhov V.S., Nogal M.V. Specialized one-bit processor for the protection of information in garantozdatnyh systems, Scientific technical journal, «Radio-electronic and computer system», the National Aerospace University name Zhukovsky, Kharkiv, Aviation Institute, «HAИ», 2008, pp. 104-109.
11. Patent №7,082,452 B2 (USA), IPC G06F 7/00. Galois field multiply/multiply-add/multiply accumulate. Yosi Stein, Haim Primo, Yaniv Sapir. Analog Devices(USA), Appl №10/228,526, filed 30.05.2001, date of patent 21.02.2006.
12. Patent №4,473,887 (USA), IPC G06F 7/52. Processing circuit for operationg on elements of a Galois field. Kentaro Odaka (USA) Sony Corporation Tokyo, (Japane), Appl № 360,205, filed 22.05.82, date of patent 25.09.1984.
13. Patent №6,523,054 B1 (USA), IPC G06F 7/72. Galois field arithmetic processor. Shunsuke Kamijo, Fujitsu Limited, Kawasaki (Japan), Appl № 09/437,473, filed 10.11.99, date of patent 18.02.2003.
14. A.s. № 1462477 (USSR), IPC H03M1/38. Analog-to-Digital converter. Y.N. Nykolaychuk (USSR), № 4129459/24-24, zayav.03.06.86, publ. 02.28.89, Bul. № 8.
15. Nykolaychuk Y. M. Theory information sources. Ternopil, «Ternohraf», 2010, 534 p.
16. A.s Number u70744 (U), IPC H038M. Analog-to-Digital Converter. Y.M. Nykolaychuk, P.V. Humennyi, (U), № u2011 14242, appl. № 01.12.2011, publ. 25.06.2012, Bull. Number 12.

Рецензія/Peer review : 22.4.2013 р. Надрукована/Printed :18.6.2013 р.

Рецензент: завідувач кафедри Спеціалізованих комп'ютерних систем, Тернопільського національного економічного університету д.т.н., професор Я.М. Николайчук