

DOI 10.31891/2307-5732-2019-271-2-99-101

УДК 004.942:004.054

Р. Л. ГАВРИЛЮК, Р. В. КРАВЧУК, В. О. ФЕРЕНС, В. М. ЧЕШУН

Хмельницький національний університет

МАТЕМАТИЧНА МОДЕЛЬ ПРОЦЕСУ ДІАГНОСТУВАННЯ СХЕМ ОПЕРАТИВНОЇ ПАМ'ЯТІ З ДОВІЛЬНИМ ДОСТУПОМ

В роботі наведено опис математичної моделі для організації тестового діагностування схем оперативної пам'яті з довільним доступом із комбінованим застосуванням трьох тестів в прямій та інверсній реалізація: "шахового", "чергування рядків 0/1" і "чергування стовпців 0/1".

Ключові слова: математична модель, оперативна пам'ять з довільним доступом, тестове комбіноване діагностування, технічна діагностика.

R. L. HAVRYLIUK, R. V. KRAVCHUK, V. O. FERENS, V. M. CHESHUN

Khmelnytskyi National University

MATHEMATICAL MODEL FOR THE TEST DIAGNOSTIC PROCESS OF RANDOM ACCESS MEMORY SCHEME

Increasing the internal complexity of modern discrete electronic components, including random access memory schemes, complicates the process of their verification. This leads to a reduction in the effectiveness of intuitive testing methods and the need for clearly formalized diagnostic methods based on the use of adequate mathematical models. The article describes a mathematical model based on the main provisions of technical diagnostics, the theory of test diagnostics, the theory of sets and matrices. It is designed to create fault models and models of tests in the implementation of combined diagnosis of random access memory schemes with the combined use of basic tests in direct and inverse implementations: test "chess", test "lines zero/one" and test "columns zero/one". Also, the model can be used to describe other variants of memory schemes tests. The models are based on the use of matrix models of memory schemes and formalized descriptions of operations of access to memory for recording and readings. The proposed mathematical model is intended to adequately reflect the important parameters of the diagnostic experiment, the peculiarities of the tests, ensure predictability and reliability of the results.

Key words: mathematical model, random access memory, combined diagnostic test, technical diagnostics.

Вступ

Стрімкий розвиток засобів електронної обчислювальної техніки, засобів зв'язку і управління, а також іншого електронного обладнання породили небувалий науково-технічний прогрес у всіх сферах людської діяльності. Цей розвиток, перш за все, базується на новітніх досягненнях мікроелектроніки зі створення сучасної елементної бази у вигляді мікропроцесорів та інших мікросхем великого та надвеликого ступеню інтеграції, в тому числі схем оперативної пам'яті. Вже сьогодні на кристалі інтегральної схеми може бути трильйони транзисторів, а мікросхема пам'яті може зберігати гігабайти двійкових даних [2, 3].

Слід відзначити, що збільшення інтегральної складності і функціональних можливостей мікропроцесорів, схем оперативної пам'яті та інших інтегральних компонентів зумовлює постійне зростання складності вирішуваних стосовно них задач технічної діагностики і актуальність вдосконалення існуючих і створення нових методів і засобів діагностування.

Аналіз останніх досліджень і публікацій

Дослідження схем пам'яті як об'єктів діагностування дозволило зробити висновок, що сучасні схеми пам'яті є досить складними об'єктами діагностування через велику розрядність і ємність, але мають також позитивні для реалізації діагностування властивості, а саме однорідність і регулярність їх внутрішньої структурної організації.

Зазначені особливості схем пам'яті з довільним доступом зумовили їх відокремлення в окремий клас об'єктів діагностування та створення великої кількості тестів для їх перевірки [7, 8]. В той же час, зазначені тести не є універсальними і кожен із них передбачає перевірку тестованої пам'яті на певний вид несправностей [8]. Використання множини тестів для пошуку всіх видів несправностей оперативної пам'яті з довільним доступом за умови надзвичайно великої ємності діагностованої пам'яті виявляється надзвичайно тривалим процесом і, через це, є малоефективним при потоковій перевірці схем пам'яті в умовах масового виробництва. Це зумовлює актуальність розробки методів і засобів тестування схем оперативної пам'яті, які базуються на комбінованому використанні певних тестів в їх первинному або модифікованих варіантах. Комбінування тестів має за мету забезпечення достовірної перевірки схем пам'яті на наявність в них контрольованих видів несправностей з мінімальною кількістю виконуваних перевірочних операцій, що є запорукою зменшення тривалості процесу діагностування та підвищення його ефективності за часовим критерієм.

Постановка проблеми

Складність схем пам'яті як об'єктів діагностування та одночасна однорідність і регулярність їх внутрішньої структурної організації зумовлюють необхідність і зручність використання математичних моделей для постановки діагностичних експериментів.

Зокрема, останнім часом є значні досягнення у розробці маршових тестів для діагностування схем оперативної пам'яті, що базуються на адаптованих до них математичних моделях. Вузька орієнтація таких моделей робить їх ефективними для реалізації зазначених тестів, але недосконалими при моделюванні процесу діагностування пам'яті із застосуванням інших тестів. Через це під час постановки діагностичних експериментів виникає потреба адаптації існуючих математичних моделей або створення нових відповідно до наявних потреб і з урахуванням особливостей застосовуваних тестів.

Виконувані дослідження присвячені організації діагностування схем оперативної пам'яті з довільним доступом, що базується на комбінованому використанні трьох видів тестів ("шахового", "чергування рядків 0/1" і "чергування стовпців 0/1") в прямій та інверсній реалізаціях зі змінюваним напрямком проходження адресного простору, що потребує визначення математичного апарату для опису параметрів та принципів реалізації діагностичних випробувань.

Викладення основного матеріалу

Основою схеми будь-якого запам'ятовуючого пристрою є елемент пам'яті (статичного або динамічного типу), призначений для записування, зберігання і видачі одного біта даних. Сукупність спільно адресованих елементів пам'яті, які зберігають n -розрядне слово даних, утворюють комірку пам'яті, а множина комірок пам'яті утворює запам'ятовуючий масив схеми пам'яті, який називається матрицею елементів пам'яті.

Саме діагностування матриці елементів пам'яті є основним і найбільш трудомістким завданням при перевірці схем оперативної пам'яті з довільним доступом. Наявність доступу до всіх елементів матриці пам'яті і коректність їх роботи в усіх режимах свідчать про справність діагностованих схем оперативної пам'яті в цілому. Це свідчить про актуальність визначення способів формалізованого представлення матриці елементів пам'яті для подальшої презентації особливостей способів і засобів тестування схем оперативної пам'яті.

Для математичного опису запам'ятовуючої матриці схем оперативної пам'яті з довільним доступом будемо використовувати представлення у вигляді двох взаємопов'язаних множин:

- $K: \{k_1, k_2, \dots, k_i, \dots, k_n\}$ – множина комірок запам'ятовуючого пристрою (індекс i відповідає адресі комірки $k_i \in K$ в схемі пам'яті);

- $E_i: \{e_{i,1}, e_{i,2}, \dots, e_{i,j}, \dots, e_{i,r}\}$ – множина запам'ятовуючих елементів (розрядів) комірки $k_i \in K$.

Структурну організацію матриці запам'ятовуючих елементів схеми оперативної пам'яті з довільним доступом найбільш наочно і адекватно відображає саме матрична структура, що символічно подається у вигляді прямокутної матриці розмірності $n \times r$, де n – кількість адресованих одиниць даних, що зберігаються (фактично, кількість комірок пам'яті), r – розрядність пам'яті (тобто розрядність комірок пам'яті, $r \geq 1$).

На підставі наведеного опису введемо в математичну модель методу тестування схем оперативної пам'яті з довільним доступом матричну складову для відображення структурної організації матриці запам'ятовуючих елементів діагностованої схеми оперативної пам'яті:

M – матрична модель (розмірності $n \times r$) схеми оперативної пам'яті з довільним доступом пам'яті ємністю n комірок по r розрядів.

Класично, діагностична модель для перевірки функціональних здатностей об'єкта діагностування складається з математичного інструментарію, з допомогою якого можна адекватно описати типові операції, передбачувані в роботі об'єктів відповідного класу, і потім перевірити коректність виконання цих операцій об'єктом діагностування.

Для математичного опису функціональних особливостей досліджуваного класу об'єктів діагностування будемо використовувати опис операцій у вигляді множини:

$S: \{s_1, s_2, \dots, s_i, \dots, s_h\}$ – множина типових операцій, які використовуються для діагностування схем оперативної пам'яті з довільним доступом при реалізації методу.

Основними операціями схем оперативної пам'яті з довільним доступом є запис і зчитування певної одиниці двійкових даних фіксованого розміру, що розглядається стосовно багаторозрядних схем оперативної пам'яті з довільним доступом як слово даних. Операції запису і зчитування даних узагальнено називаються зверненням до пам'яті. Саме через операції звернення до пам'яті перевіряються та інші функції схем оперативної пам'яті з довільним доступом, такі як здатність зберігати дані і виконувати супутні сервісні операції.

Хоча, фактично, основних контрольних операцій для тестування схем оперативної пам'яті з довільним доступом є лише дві, але зазначені операції відрізняються в різних тестах за послідовністю застосування і використовуваними при їх реалізації даними.

Використовувані для тестування схем оперативної пам'яті з довільним доступом дані ідентифікуються як перевірочні двійкові тест-вектори. Для будь-якого методу діагностування можна визначити кінцеву множину використовуваних тест-векторів:

$T: \{t_1, t_2, \dots, t_i, \dots, t_m\}$ – множина тест-векторів розрядності r , що застосовуються для перевірки схем оперативної пам'яті з довільним доступом відповідної розрядності.

Саме особливостями застосовуваних тест-векторів $t_i \in T$ і порядком їх застосування при виконанні тестових випробувань з реалізацією типових операцій визначається здатність обраного методу тестування виявляти несправності схем пам'яті. Кожен вид тестів орієнтований на пошук обмеженої множини можливих несправностей. Ідентифікуємо зазначену множину в математичній моделі:

$L: \{l_1, l_2, \dots, l_i, \dots, l_k\}$ – множина контрольованих методом несправностей схем оперативної пам'яті з довільним доступом (контрольний набір несправностей).

Саме за множиною контрольованих несправностей порівнюють ефективність методів діагностування

схем оперативної пам'яті. Метод вважається більш ефективним за прототип, якщо він здатен виявляти більше несправностей досліджуваного класу об'єктів діагностування або орієнтований на аналогічний контрольний набір несправностей, але забезпечує їх достовірну перевірку меншою кількістю операцій.

Під час тестування схем оперативної пам'яті з довільним доступом операції $s_i \in S$ із застосуванням тест-векторів $t_i \in T$, як правило, прийнято також представляти формалізованими описами.

Проведені дослідження варіантів опису типових діагностичних операцій для тестування схем оперативної пам'яті в математичних моделях показують, що всі вони мають позитивні і негативні властивості [2–5]. З урахуванням позитивних і негативних властивостей досліджених варіантів, для створеного методу пропонується наступний варіант формалізованого опису операцій $s_i \in S$.

$W_i Z$ – узагальнене представлення операції запису в комірку з адресою i тест-вектора Z (двійкового слова розрядності r зі значенням Z).

Можливі модифіковані (уточнені) представлення операції $W_i Z$:

- $W_i |x|$ – операція запису в комірку з адресою i тест-вектора, утвореного повторенням значень x до отримання двійкового слова розрядності r ;

- $W_i |x|N|y|M$ – операція запису в комірку з адресою i тест-вектора, утвореного повторенням комбінації з N значень x та M значень y (x та y – двійкові значення, $x \neq y$);

$R_i Z$ – узагальнене представлення операції зчитування з комірки з адресою i вектора Z . Аналогічно наведеним для операції $W_i Z$, для операції $R_i Z$ передбачені модифіковані (уточнені) представлення;

- $R_i |x|$ – операція читання з комірки за адресою i вектора, що є повторенням значень x до отримання двійкового слова розрядності r ;

- $R_i |x|N|y|M$ – операція читання з комірки за адресою i вектора, що є повторенням комбінації з N значень x та M значень y (x та y – двійкові значення, $x \neq y$).

На основі запропонованих варіантів опису типових діагностичних операцій для тестування схем оперативної пам'яті з довільним доступом можна надати узагальнений опис прояву несправності:

$$W_i Z \rightarrow R_i Z \neq Z.$$

Наведена формула відображає ситуацію, коли після запису значення Z до комірки за адресою i операція зчитування даних з неї дає значення, що не дорівнює Z .

Висновки

Запропонована математична модель базується на основних положеннях технічної діагностики, теорії тестового діагностування, теорії множин і матриць. Вона призначена для створення моделей несправностей і використовуваних тестів в ході реалізації діагностування схем оперативної пам'яті з довільним доступом із комбінованим використанням в прямій та інверсній реалізаціях "шахового" тесту і тестів "чергування рядків 0/1" та "чергування стовпців 0/1". Модель також може бути використана для моделювання інших варіантів тестів схем пам'яті.

Література

1. Ярмолик В.Н. Обзор методов неразрушающего тестирования ОЗУ / В.Н. Ярмолик, А.П. Занкович // Доклады БГУИР. – Минск : БГУИР, 2005. – № 4 (12) – С. 62–72.
2. Иванюк А.А. Методы оптимизации микрокода встроенной аппаратуры самотестирования ОЗУ / А.А. Иванюк, А.А. Автушко // Доклады БГУИР. – Минск : БГУИР, 2010. – № 3 (49). – С. 104–110.
3. Ярмолик В.Н. Псевдоисчерпывающее тестирование запоминающих устройств на базе многократных маршевых тестов / В.Н. Ярмолик, И. Мрозек, В.А. Леванцевич // Информатика. – 2018. – Т. 15, № 1. – С. 110–121.
4. Wu Chi-Feng Fault simulation and test algorithm generation for random access memories / Chi-Feng Wu, Chih-Tsun Huang, Kuo-Liang Cheng, Cheng-Wen Wu // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 2002. – Vol. 21, Issue 4. – P. 480–490.
5. Li Jin-Fu March-based RAM diagnosis algorithms for stuck-at and coupling faults / Jin-Fu Li, Kuo-Liang Cheng, Chih-Tsun Huang, Cheng-Wen Wu // IEEE Trans. on Fuzzy Systems. – 2002. – Vol. 10, Issue 2. – P. 155–170.

Referenses

1. Jarmolik V.N. Obzor metodov nerazrushajushhego testirovanija OZU / V.N. Jarmolik, A.P. Zankovich // Doklady BGUIR. – Minsk : BGUIR, 2005. – № 4 (12) – S. 62–72.
2. Ivanjuk A.A. Metody optimizacii mikrokode vstroennoj apparatury samotestirovanija OZU / A.A. Ivanjuk, A.A. Avtushko // Doklady BGUIR. – Minsk : BGUIR, 2010. – № 3 (49). – S. 104–110.
3. Jarmolik V.N. Psevdoisчерpyvajushhee testirovanie zapominajushhih ustrojstv na baze mnogokratnyh marshevyyh testov / V.N. Jarmolik, I. Mrozek, V.A. Levancevich // Informatika. – 2018. – T. 15, № 1. – S. 110–121.
4. Wu Chi-Feng Fault simulation and test algorithm generation for random access memories / Chi-Feng Wu, Chih-Tsun Huang, Kuo-Liang Cheng, Cheng-Wen Wu // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 2002. – Vol. 21, Issue 4. – R. 480–490.
5. Li Jin-Fu March-based RAM diagnosis algorithms for stuck-at and coupling faults / Jin-Fu Li, Kuo-Liang Cheng, Chih-Tsun Huang, Cheng-Wen Wu // IEEE Trans. on Fuzzy Systems. – 2002. – Vol. 10, Issue 2. – R. 155–170.

Рецензія/Peer review : 24.2.2019 р.

Надрукована/Printed : 10.4.2019 р.

Рецензент: д. т. н., проф. Мясіщев О. А.