

Д. В. ГАВРІЛОВ, А. Ю. ВОЛОВИК, Н. М. ГАВРІЛОВА,
Н. В. КОФАНОВА, Д. В. ЯРОВИЙ
Вінницький національний технічний університет

УНІВЕРСАЛЬНИЙ РЕГІСТР НА ПЛІС

В даній статті розглядається запропоноване нове схемне рішення універсального регістра на ПЛІС, що дозволяє виконувати функції послідовних, паралельних, послідовно-паралельних та паралельно-послідовних регістрів і крім цього забезпечити режими відключення входів і виходів від загальної інформаційної шини, переключення функцій приймання/передавання інформації в загальну шину. Реалізація реверсивних регістрів зсуву довільної розрядності без зміни вихідного коду в точці реверсу дозволяє створювати гнучкі системи на основі стандартних інтегральних мікросхем жорсткої логіки. Викладено результат моделювання схеми універсального регістра зсуву на ПЛІС у програмному забезпеченні САПР Altera Quartus II із часовими діаграмами.

Ключові слова: універсальний регістр, реверсивний регістр довільної розрядності, гнучкі системи стеження, інтегральні мікросхеми жорсткої логіки, програмовані логічні інтегральні схеми, Quartus, Altera, Intel.

D. V. HAVRILOV, A. Y. VOLOVYK, N. M. HAVRILOVA, N. V. KOFANOVA, D. V. YAROVYI
Vinnytsia National Technical University

UNIVERSAL REGISTER ON FPGA

In this article, we consider the proposed new circuit decision of the universal register on the FPGA, which allows to perform functions of successive, parallel, serial parallel and parallel-sequential registers, and also provide the modes of disconnection of inputs and outputs from the general information bus, the switching functions of reception / transmission of information in the general tire. The reversible registers of arbitrary bit displacement without changing the source code at the reverse point, which allows the creation of flexible monitoring systems based on standard integrated circuits of rigid logic. The results of modelling of the universal shift register on the FPGA in the software of CAD Altera Quartus II with time charts are presented.

Keywords: universal register, reverse register of arbitrary digit capacity, flexible tracking systems, hard logic integrated circuits, programmable logic integrated circuits, Quartus, Altera, Intel.

Вступ

Регістри належать до однієї з найпоширеніших груп цифрових послідовнісних пристроїв. До сфер застосування регістрів відносяться:

- збереження необхідного коду протягом визначеного часу;
- запам'ятовування декількох послідовних значень вхідного коду, що змінюється; це дозволяє порівнювати попереднє значення коду з наступним значенням цього ж коду і виконувати арифметичні операції над даним кодом, тобто регістр в даному випадку відіграє роль елемента лінії затримки, що зберігає послідовність зміни вхідного коду;
- конвеєрна обробка, що дозволяє значно підвищити тактову частоту роботи схеми, за рахунок паралельної роботи блоків схеми;
- накопичувачі результатів обчислень, такі як накопичувальний суматор та пристрій для визначення максимального значення вхідного коду;
- сполучення ЕОМ і радіоелектронних приладів із зовнішніми пристроями, зокрема, з метою індикації і введення-виведення інформації, перетворення її для передавання на далекі відстані [1].

Залежно від способу записування і зчитування інформації регістри поділяються на два основні типи: паралельні і зсуву. До одного з різновидів регістрів відносяться універсальні регістри зсуву, що володіють властивостями вище перерахованих пристроїв. Також такий тип цифрових послідовнісних пристроїв забезпечує режими відключення входів та виходів від загальної інформаційної шини та перемикання функцій приймання/передавання інформації в спільну шину [2, 3].

Але такі цифрові послідовнісні пристрої, як універсальні регістри зсуву мають ряд недоліків:

- потреба в значному ресурсі інтегральної схеми через складні міжрозрядні зв'язки;
- втрата гнучкості керування через необхідність перемикання входів та виходів послідовного введення/виведення;
- ускладнення реалізації реверсивних регістрів зсуву, кільцевих регістрів тощо довільної розрядності.

Аналіз останніх досліджень і публікацій

Відомі регістри, які складаються з D- або JK-тригерів з асинхронними входами та логічних елементів (І-АБО-НЕ та інверторів). У таких регістрах паралельне введення інформації в асинхронному режимі відбувається через несинхронізовані входи, а синхронне паралельне введення – через систему керування зсувом [4].

Основними недоліками зазначених пристроїв є потреба в значному ресурсі інтегральної схеми через складні міжрозрядні зв'язки; втрата гнучкості керування через необхідність перемикання входів та виходів послідовного введення/виведення та ускладнення реалізації реверсивних регістрів зсуву, кільцевих регістрів тощо довільної розрядності [4].

Постановка завдання

Метою дослідження є створення регістра, в якому нове схемне рішення дозволило виконувати функції послідовних, паралельних, послідовно-паралельних та паралельно-послідовних регістрів і крім цього забезпечити режими відключення входів і виходів від загальної інформаційної шини, переключення функцій приймання/передавання інформації в загальну шину, а також реалізація реверсивних регістрів зсуву довільної розрядності без зміни вихідного коду в точці реверсу, що дозволяє створювати гнучкі системи стеження на основі стандартних інтегральних мікросхем жорсткої логіки.

Виклад основного матеріалу дослідження

Поставлена задача вирішується тим, що до звичайного регістра зсуву довільної розрядності з входами і виходами паралельного введення/виведення (рис. 1) додається мультиплексор шин та пристрій керування. Шинні входи мультиплексора шин з'єднуються з виходами регістра зсуву двома шинами: одна шина $Q_{пр}$ [] утворюється з потрібної кількості розрядів регістра зсуву, починаючи з молодшого, в прямому порядку їх нумерації, а друга шина $Q_{зв}$ [] – з тих самих розрядів у зворотному порядку їх нумерації, причому друга шина з'єднується також зі входами паралельного введення регістра зсуву. Із синхросигналу CLK, що одночасно надходить до регістра зсуву і пристрою керування, та сигналу керування напрямком зсуву UP/DN, який одночасно є адресним входом мультиплексора шин, у пристрої керування формуються сигнали керування, якими здійснюється запис зворотного коду $Q_{зв}$ [] під час зміни напрямку зсуву, наприклад, два сигнали: сигнал, що подається на вхід регістра зсуву MODE, тобто перемикання регістра з послідовного в паралельний та навпаки і імпульс завантаження, що подається на інверсний вхід CLKL. Вхід SER послідовного введення регістра зсуву є входом пропонованого універсального регістру, а вихід RESULT мультиплексора шин – його виходом Q [] .

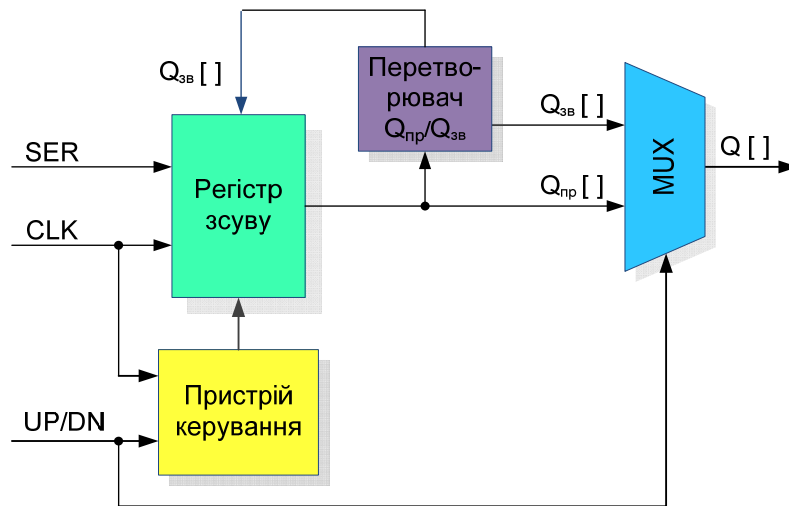


Рис. 1. Універсальний регістр зсуву

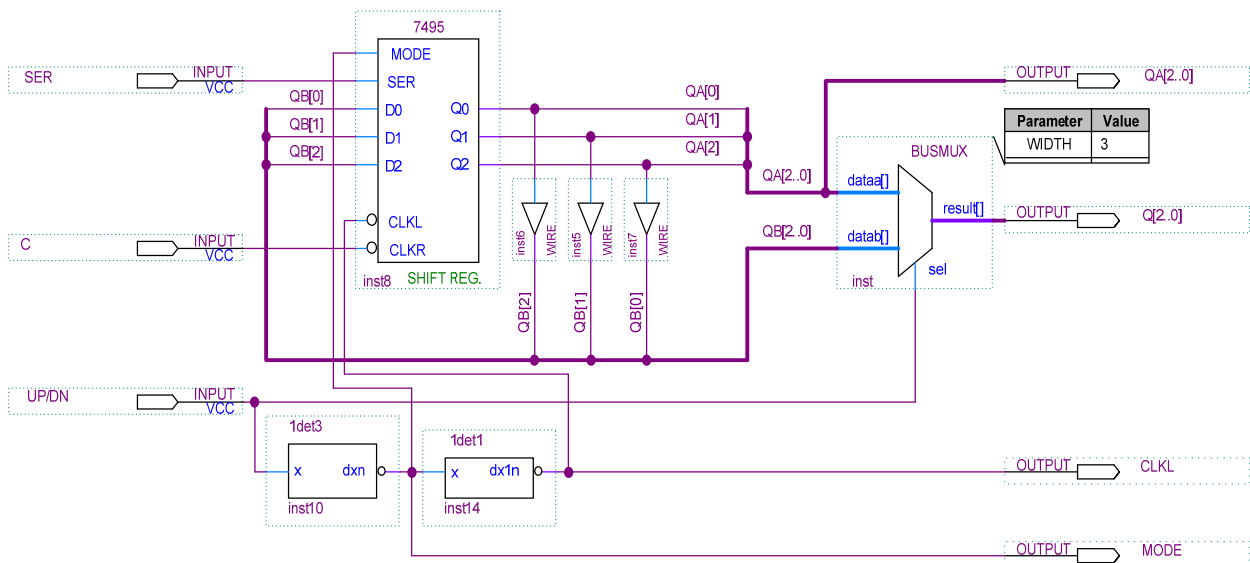


Рис. 2. Схема універсального регістру у САПР Quartus II

Універсальний регістр було реалізовано у програмному забезпеченні САПР Altera Quartus II, схема такого регістру представлена на рис. 2. Altera Quartus II – це система автоматизованого проектування, що

дозволяє розробнику аналізувати, синтезувати і редагувати HDL схеми, реалізовувати пристрої мовами опису апаратного забезпечення VHDL та Verilog, а також дозволяє виконувати моделювання та часовий аналіз.

Універсальний регістр апаратно реалізовано на ПЛІС родини FLEX10K Altera EPF10K70RC240-4. Мультиплексор шин реалізується на мегафункції IC програмованої структури або з'єднанням мультиплексорів IC жорсткої структури. Для прикладу було проведено моделювання трирозрядного регістра зсуву [5].

На рис. 2 видно, що пристрій керування представлений у вигляді двох модулів, які складаються з декількох міжкоміркових буферів ПЛІС, що з'єднані послідовно між собою, причому кількість буферів залежить від розрядності регістра зсуву (рис 3). Чим більша розрядність регістра зсуву, тим більше потрібно буферів для затримки сигналу. Виходи регістра, що утворюють першу шину даних, приєднані до другої шини даних через буфери, для узгодження затримки з сигналом, що утворюється під час перемикавання напрямку зсуву.

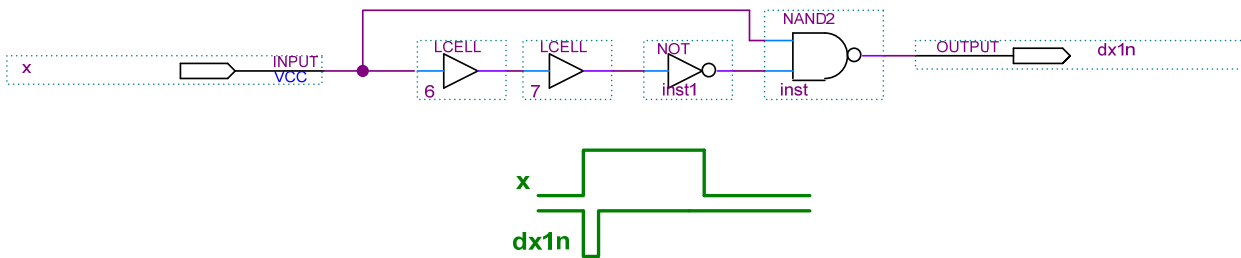


Рис. 3. Пристрій керування на основі елементу I-HE

Основу пристрою керування складають звичайні детектори фронтів, що утворюють імпульси під час перепадів керувального сигналу UP/DN.

Результати моделювання за допомогою САПР Quartus II та експериментальне випробування показано на рис. 4.

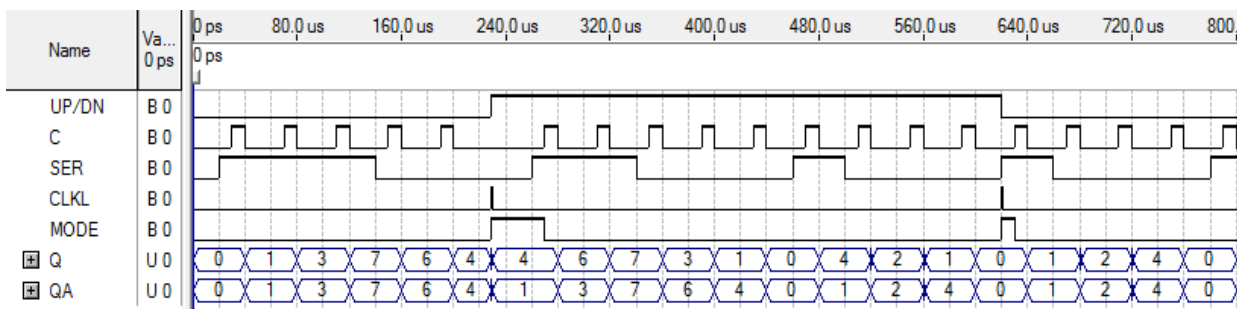


Рис. 4. Часові діаграми роботи пристрою

За результатом моделювання принцип функціонування пристрою можна пояснити за допомогою перемикального графу, що зображений на рис. 5.

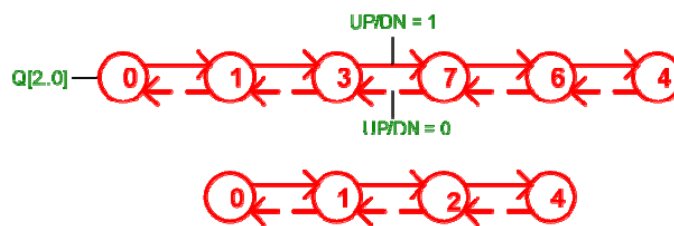


Рис. 5. Перемикальний граф

На перемикальному графі показано трирозрядний код у десятковій системі числення, заповнення регістра зсуву послідовним кодом виконується за час дії n сигналів зсуву на вході синхронізації і наявності відповідних розрядів послідовного коду на послідовному вході, після завершення запису послідовного коду відбувається зсув [6, 7].

Висновки

В результаті було досягнуто поставлену мету – запропонований універсальний регістр на ПЛІС, крім паралельно-послідовного введення-виведення інформації, дозволяє створювати вихідну шину довільної розрядності без зміни вихідного коду в точці реверсу, що розширює функціональні можливості пристрою.

Реалізація його потребує суттєво меншого ресурсу інтегральних мікросхем завдяки використанню в пристрої стандартного регістра без ускладнення його міжрозрядних зв'язків [8].

Література

1. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования / Юрий Витальевич Новиков. – М. : Мир, 2001. – 379 с.
2. Гаврілов Д. В. Лабораторний практикум з дослідження цифрових пристроїв на основі САПР MAX+PLUS II : навчальний посібник / Дмитро Володимирович Гаврілов, Віктор Леонідович Кофанов, Олександр Володимирович Осадчук. – Вінниця : УНІВЕРСУМ-Вінниця, 2006. – 200 с.
3. Гаврілов Д. В. Проектування цифрових пристроїв на основі САПР Quartus II : навчальний посібник / Дмитро Володимирович Гаврілов, Віктор Леонідович Кофанов, Олександр Володимирович Осадчук. – Вінниця : ВНТУ, 2009. – 164 с.
4. Зубчук В. И. Справочник по цифровой схемотехнике / Виктор Иванович Зубчук, Виталий Петрович Сигорский, Анатолий Николаевич Шкуро. – К. : Техника, 1990. – 448 с.
5. Пат. 108579 Україна, МПК H03M 13/00, H03M 7/00. Дешифратор семисегментного коду в унітарний / Басич Б. В., Гаврілов Д. В., Белов О. Е., Ситай Ю. В. ; власник Вінницький національний технічний університет. – № u201600023 ; заявл. 04.01.2016 ; опубл. 25.07.2016, бюл. № 14. – 7 с.
6. Гаврілов Д. В. Основи комп'ютерного проектування та моделювання РЕА. Частина 1 : лабораторний практикум / Д. В. Гаврілов, О. В. Осадчук, О. С. Звягін. – Вінниця : ВНТУ, 2015. – 99 с.
7. Гаврілов Д. В. Основи комп'ютерного проектування та моделювання РЕА. Частина 2 : лабораторний практикум / Д. В. Гаврілов, О. С. Звягін, О. В. Осадчук, А. Ю. Савицький. – Вінниця : ВНТУ, 2017. – 104 с.
8. Jubin Mitra An FPGA-Based Phase Measurement System / Jubin Mitra, Tapan K. Nayak // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. – 2018. – Vol. 26. – Iss. 1. – P. 133–142. – DOI: 10.1109/TVLSI.2017.2758807.

References

1. Novikov Ju.V. Osnovy cifrovoj shemotehniki. Bazovye jelementy i shemy. Metody proektirovanija / Jurij Vital'evich Novikov. – M. : Mir, 2001. – 379 s.
2. Havrilov D. V. Laboratornyi praktykum z doslidzhennia tsyfrovyykh prystroiv na osnovi SAPR MAX+PLUS II : navchalnyi posibnyk / Dmytro Volodymyrovych Havrilov, Viktor Leonidovych Kofanov, Oleksandr Volodymyrovych Osadchuk. – Vinnytsia : UNIVERSUM-Vinnytsia, 2006. – 200 s.
3. Havrilov D. V. Proektuvannia tsyfrovyykh prystroiv na osnovi SAPR Quartus II : navchalnyi posibnyk / Dmytro Volodymyrovych Havrilov, Viktor Leonidovych Kofanov, Oleksandr Volodymyrovych Osadchuk. – Vinnytsia : VNTU, 2009. – 164 s.
4. Zubchuk V. I. Spravochnik po cifrovoj shemotehnike / Viktor Ivanovich Zubchuk, Vitalij Petrovich Sigorskij, Anatolij Nikolaevich Shkuro. – K. : Tjehnika, 1990. – 448 s.
5. Pat. 108579 Ukraina, MPK H03M 13/00, H03M 7/00. Deshyfrator semysehmentnoho kodu v unitarnyi / Basych B. V., Havrilov D. V., Bielov O. E., Sytai Yu. V. ; vlasnyk Vinnytskyi natsionalnyi tekhnichnyi universytet. – № u201600023 ; zaiavl. 04.01.2016 ; opubl. 25.07.2016, biul. № 14. – 7 s.
6. Havrilov D. V. Osnovy komp'uternoho proektuvannia ta modeliuvannia REA. Chastyna 1 : laboratornyi praktykum / D. V. Havrilov, O. V. Osadchuk, O. S. Zviahin. – Vinnytsia : VNTU, 2015. – 99 s.
7. Havrilov D. V. Osnovy komp'uternoho proektuvannia ta modeliuvannia REA. Chastyna 2 : laboratornyi praktykum / D. V. Havrilov, O. S. Zviahin, O. V. Osadchuk, A. Yu. Savytskyi. – Vinnytsia : VNTU, 2017. – 104 s.
8. Jubin Mitra An FPGA-Based Phase Measurement System / Jubin Mitra, Tapan K. Nayak // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. – 2018. – Vol. 26. – Iss. 1. – P. 133–142. – DOI: 10.1109/TVLSI.2017.2758807.

Рецензія/Peer review : 8.2.2019 р. Надрукована/Printed : 10.4.2019 р.
Рецензент: д. т. н., проф. Злепко С. М.