

АЗАРОВ О. Д.

Вінницький національний технічний університет

<https://orcid.org/0000-0002-2583-0882>e-mail: [azarov.oleksiy@gmail.com](mailto:azarov.oleksiy@gmail.com)

СТАХОВ О. Я.

Вінницький національний технічний університет

<https://orcid.org/0000-0002-4901-3211>e-mail: [aleksey.stahov@gmail.com](mailto:aleksey.stahov@gmail.com)

## ДВОТАКТНІ БУФЕРНІ ПРИБРОЇ НАПРУГИ НА БІПОЛЯРНИХ ТРАНЗИСТОРАХ

У статті розроблено двотактні буферні пристрої напруги на біполярних транзисторах із мінімальним значенням вхідного струму. Для усунення адитивної похибки запропоновано метод, що базується на введенні до схеми двотактного вихідного підсилювача потужності. Запропонований буфер напруги складається з буферного елемента та підсилювача потужності. Доведено, що його застосування дозволяє істотно збільшити струм, що віддається вихідною шиною пристрою у навантаження. Схема буферного пристрою має низький рівень вхідного струму. Запропоновано вхідний каскад буферного елемента реалізувати на складених транзисторах Шиклаї, що забезпечує істотне зниження зсуву нуля до рівня 20 нА. Наявність підсилювача потужності гарантує високу лінійність передатної характеристики в діапазоні вихідного струму  $\pm 5$  мА.

Ключові слова: високолінійний двотактний буферний пристрій, біполярний транзистор, адитивна похибка, струм зсуву нуля.

Olexiy AZAROV

Vinnytsia National Technical University

Olexiy STAKHOV

Vinnytsia National Technical University

## PUSH-PULL VOLTAGE BUFFER DEVICES ON BIPOLAR TRANSISTORS

The article proposes linear push-pull buffer devices on bipolar transistors. A highly linear push-pull voltage buffer device with parametric zero shift compensation is considered. A variant of the construction of a highly linear push-pull voltage buffer device on bipolar transistors with a minimum value of the input current is proposed. The purpose of the work is to minimize the additive error of the buffer device by significantly reducing the input current. Analytical relations are given that allow estimating the additive error of the zero shift. The schematic diagram of a two-stroke buffer device with an internal zero-shift compensation generator is also considered. It is noted that the technological spread of transistor parameters will not allow to significantly reduce this error. To eliminate this shortcoming, the authors proposed a method based on the introduction of a two-stroke output power amplifier into the circuit. Such a voltage buffer consists of two parts: a buffer element and a power amplifier. It is noted that the load capacity of the buffer element is not high, so the use of a power amplifier allows you to significantly increase it, and, accordingly, to increase the current supplied by the output bus of the device to the load. It is shown that the proposed scheme of the buffer device has a low level of input current (at the level of no more than 20 nA). It is also noted that the presence of a power amplifier allows maintaining the balance between the input and output potentials of the circuit and ensuring high linearity of the transfer characteristic, regardless of possible changes in the output current in the specified range. It is proposed to implement the input stage of the buffer element on compound Shikla transistors, which ensures a significant reduction of the zero shift to the level of 20 nA. The presence of a power amplifier guarantees high linearity of the transmission characteristic in the output current range of  $\pm 5$  mA.

Key words: performance, analog-digital conversion, structural and informational redundancy, bit-by-bit sequential balancing ADC.

### Постановка проблеми

Буферні пристрої є аналоговими вузлами, що використовуються у багатьох електронних пристроях, зокрема, багаторозрядних системних АЦП і ЦАП, які у свою чергу входять до складу високоточних систем вимірювання, опрацювання та реєстрування сигналів [1– 7]. Буферні пристрої призначені для узгодження опору генератора сигналу з опором навантаження та по суті є підсилювачами потужності. При цьому буфер напруги (БН) виступає в ролі трансформатора опорів з високим вхідним та низьким вихідним опором. Коефіцієнт передачі по нарузі БН дорівнює одиниці. Струм, який видається БН у навантаження, може бути набагато більший, ніж вхідний. Такі буферні пристрої називають повторювачами напруги. Буфер струму (БС), навпаки, має низький вхідний та високий вихідний опори. Коефіцієнт передачі по струму БС, як правило, дорівнює одиниці і не залежить від опору навантаження.

Відомий двотактний буферний пристрій напруги з параметричною компенсацією зсуву нуля, розглянутий у [8]. Одним із недоліків його є порівняно високе значення вхідного струму зсуву нуля  $I_{sc,0}$  (на рівні 1 мкА). У випадку застосування малопотужного генератора вхідної напруги це призведе до високої адитивної похибки. Це пов'язано із застосуванням у схемі біполярних транзисторів. Спроба ж використання польових транзисторів однозначно призведе до збільшення вхідної похибки зсуву нуля по нарузі, для коригування якої доведеться застосовувати складне додаткове обладнання, яке ж до того може знизити швидкодію пристрою. Автори пропонують інший варіант побудови високолінійного двотактного буферного пристрою на біполярних транзисторах із суттєво меншим значенням вхідного струму  $I_{вх}$ . При цьому, варто зауважити, що запропонований підхід є маловідомим та досить дієвим, тому тема статті, присвячена методу

побудови високолінійних двотактних буферних пристроїв на біполярних транзисторах, є актуальною.

**Метою роботи** є зниження адитивної похибки буферного пристрою за рахунок істотного зменшення (на 1–2 порядки) вхідного струму зсуву нуля  $I_{зс.0}$ .

**Завдання дослідження** полягають:

- в аналізі особливостей побудови запропонованої схеми високолінійного двотактного буферного пристрою та специфіки складових її конфігурацій;
- у дослідженні схеми ядра буферного елемента та особливостей його побудови;
- у виведенні аналітичних співвідношень, що дозволяють оцінити адитивну похибку зсуву нуля.

### Високолінійні буферні пристрої

Існують деякі варіанти побудови високолінійних двотактних буферних пристроїв. Розглянемо схему двотактного буферного пристрою, наведеного на рис. 1.

Схема двотактного буферного пристрою з внутрішнім генератором компенсації зсуву нуля містить вхідний каскад, побудований на транзисторах VT2, VT3. При цьому вхідний струм  $I_{вх}$  зсуву нуля дорівнює  $I_{вх} = I_{б2} - I_{б3}$ ,

де  $I_{б2}, I_{б3}$  – базові струми відповідних транзисторів.

Варто зазначити, що, якщо значення робочих струмів  $I_p = 1\text{mA}$ ,  $\beta_{n-p-n} \approx 100$ ,  $\beta_{p-n-p} = 50$ , то  $I_{вх} = 10\text{ мкА}$ , що призведе до значного рівня похибки зсуву нуля. Для зменшення вхідного струму у наведеній на рис. 1 схемі використовується внутрішній генератор компенсації зсуву нуля, побудований на транзисторах VT5 – VT10.

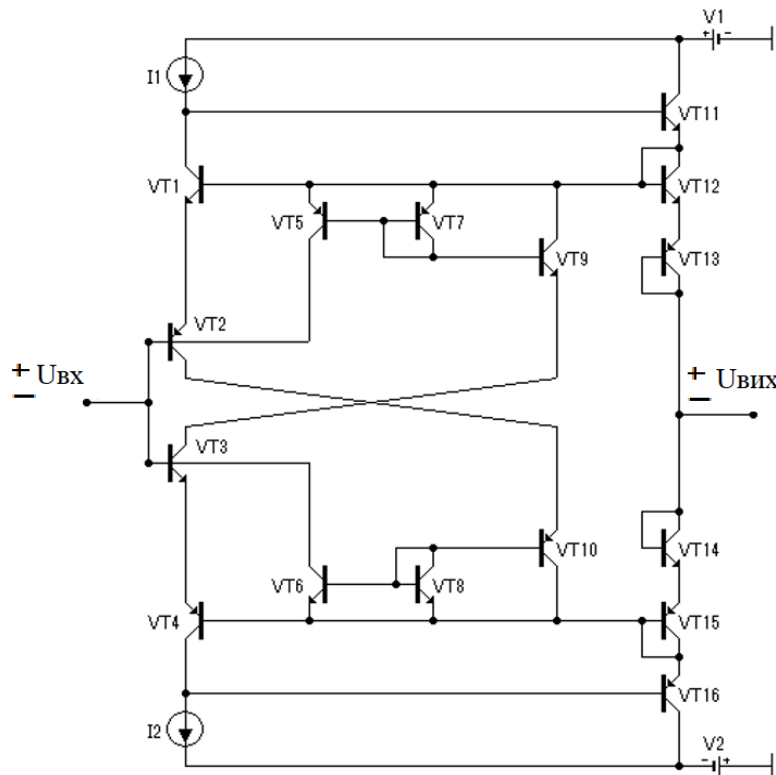


Рис. 1. Принципова схема двотактного буферного пристрою з внутрішнім генератором компенсації зсуву нуля  $I_{зс.0}$

Зауважимо, що технологічний розкид параметрів транзисторів не дозволить істотно зменшити цю похибку [9]. Треба також відзначити, що протікання струму з виходу схеми в навантаження додатково призведе до розбалансу потенціалів між входом і виходом, що спричинить додаткове збільшення адитивної похибки, а також погіршення лінійності передатної характеристики.

Для усунення вказаних недоліків автори пропонують інший підхід до побудови високолінійного двотактного буферного пристрою з вихідним підсилювачем потужності. Суть такого підходу розглянемо нижче.

### Аналіз схеми високолінійного двотактного буферного пристрою з вихідним підсилювачем потужності

Загальну принципову схему двотактного високолінійного буфера напруги наведено на рис. 2. Вона складається з двох частин. Перша частина (I) містить схему двотактного буферного елемента [10]. Її побудовано на 16 транзисторах (Q1–Q14, Q'11, Q'12). Вхідний каскад буферного елемента (БЕ) побудовано

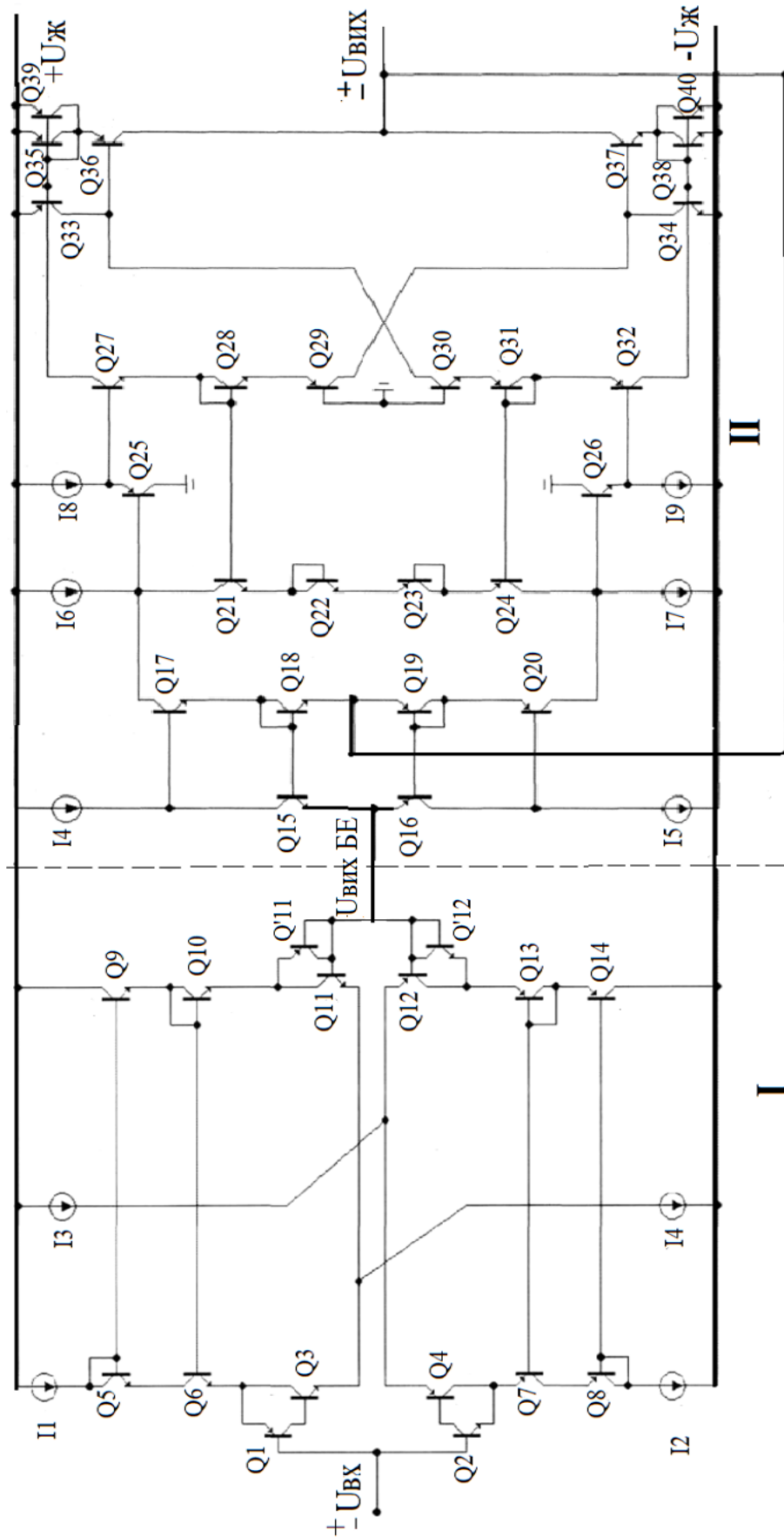


Рисунок 2 - Схема двотактного високотіньного буфера напруги з підсилювачем потужності

на *n-p-n* і *p-n-p* складених транзисторах Шиклаї [4], чотирьох генераторах робочих струмів І1–І4, що задають потрібні режими зміщення. Вихід БЕ побудовано на транзисторах Q11, Q12, Q'11, Q'12. На його виході формується напруга U<sub>Вих</sub> БЕ, значення якої з високою точністю дорівнює U<sub>вх</sub>. Варто зазначити, що

навантажувальна здатність БЕ є невисокою. Для її збільшення у пристрій вводиться двотактний підсилювач потужності (ДППТ) – частина П (рис. 1). Його також побудовано за двотактною схемою [11]. Уведення підсилювача потужності дозволяє істотно покращити навантажувальну здатність пристрою і, відповідно, збільшити струм, який віддається з вихідної шини пристрою  $\pm U_{\text{вих}}$  у навантаження.

Застосування такої конфігурації БЕ дозволяє зменшити значення вхідного струму  $I_{\text{вх}}$  на рівні:

$$I_{\text{вх}} \leq \frac{I_p}{\beta_{n-p-n} \square \beta_{p-n-p}}.$$

Якщо  $I_p = 1 \text{ mA}$ ,  $\beta_{n-p-n} \approx 100$ ,  $\beta_{p-n-p} \approx 50$ , то  $I_{\text{вх}} \leq 200 \text{ nA}$ .

Схема розглянутого високолінійного буферного пристрою забезпечує такі характеристики:

- діапазон вхідного сигналу:  $\pm 5 \text{ V}$ ;
- вихідний струм:  $\pm 5 \text{ mA}$ ;
- похибка зсуву нуля  $\Delta U_{\text{зс.0}} \leq 1 \text{ мкВ}$ ;
- похибка масштабу  $\delta_m \leq 1 \square 10^{-4} \%$ ;
- похибка лінійності  $\delta_l = 5 \square 10^{-6} \%$ ;
- вхідний струм зсуву нуля  $I_{\text{зс.0}} \leq 200 \text{ nA}$

Розглянуті параметри наведено на рис. 3.

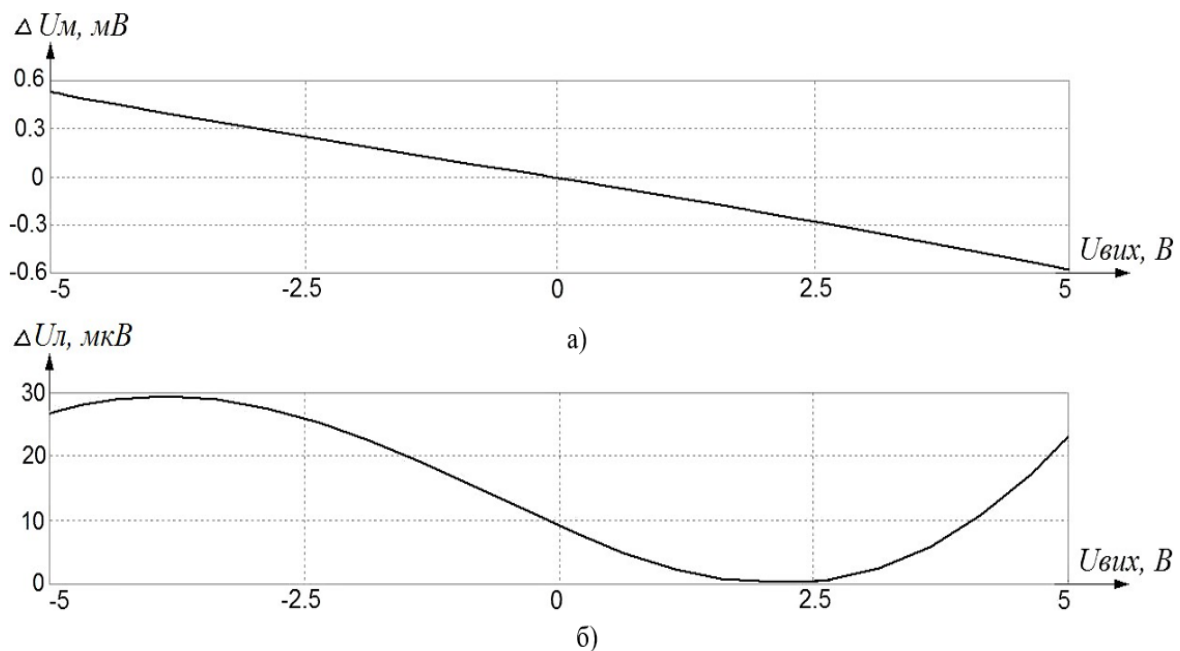


Рис. 3. Характеристики високолінійного двотактного буферного пристрою:

- а) похибка масштабу передатної характеристики  $\Delta U_m$ ;  
б) похибка лінійності передатної характеристики  $\Delta U_l$

Таким чином, запропонована схема буферного пристрою має достатньо низький рівень вхідного струму  $I_{\text{зс.0}} \leq 200 \text{ nA}$ .

Застосування вихідного підсилювача потужності дозволяє зберігати баланс між вхідним і вихідним потенціалами схеми в умовах протікання струму в навантаження та забезпечити високу лінійність передатної характеристики, не зважаючи на можливі зміни вхідного струму.

#### Висновки

У статті подано різні методи побудови високолінійних двотактних буферів напруги. Показано, що, внаслідок існуючих технологічних обмежень виготовлення біполярних транзисторів, для зменшення вхідного струму зсуву нуля, треба застосовувати компенсацію вхідного різницевого струму. Це дає можливість зменшити похибку приблизно в  $(\beta_{n-p-n} - \beta_{p-n-p})$ -разів.

Запропоновано метод побудови високолінійних двотактних буферів напруги із застосуванням вихідного двотактного підсилювача потужності, а також реалізацію вхідного каскаду буферного елементу здійснювати на складених транзисторах. Це забезпечує істотне зниження вхідного струму зсуву нуля, а також високу лінійність передатної характеристики в діапазоні вихідного сигналу.

Отримано аналітичне співвідношення, що дозволяє оцінити рівень адитивної похибки двотактного високолінійного буфера напруги.

**Наукова новизна** полягає в удосконаленні методу побудови високолінійних двотактних буферів напруги, що, на відміну від існуючих підходів, шляхом застосування структурної та інформаційної

надлишковості дозволяє суттєво знизити адитивну похибку схеми та забезпечити високу лінійність передатної характеристики.

**Практична значимість** полягає у створенні високолінійних двотактних буферів напруги з мінімальними додатковими апаратними витратами.

### Література

1. Walt Kester. Analog-digital conversion. ADI Central Application Department, USA, 2004, 1127 p.
2. Walt Kester. Drive Circuitry is Critical to High-Speed Sampling ADCs. Electronic Design Special Analog Issue. 1994. № 7. P. 43–50.
3. Kester W. Data Conversion Handbook (Analog Devices). Analog Devices Inc. Engineeri. Newnes; 1st edition. December 16, 2004. 976 p. ISBN-10: 0750678410. ISBN-13: 978-0750678414.
4. Alan B. Grebene. Bipolar and MOS analog integrated circuit design. New Jercy, USA: Whiley Classic Library, 2002, 915 p.
5. Азаров О. Д., Богомолов С. В., Стахов О. Я. Багатоканальна швидкодіюча система АЦП-ЦАП на базі високолінійних перетворювачів струм-струм. Інформаційні технології та комп'ютерна інженерія. Т. 53. № 1. 2021. С. 69–79. URL : <https://doi.org/10.31649/1999-9941-2021-50-1-69-79> (Дата звернення 29.07.22).
6. Olexiy D. Azarov, Sergii V. Bohomolov, Svitlana A. Kyrylashchuk, Olexiy J. Stakhov, Mariusz Duk, and Yedilkhan Amirgaliyev. High speed buffer devices on the base of push-pull current amplifiers. Proc. SPIE 11176, Photonics Applications in Astronomy, Communications, Industry, and High- Energy Physics Experiments 2019, 111765W6, November 2019. <https://doi.org/10.1117/12.2536902>.
7. Азаров О. Д., Богомолов С. В. Прецизійні буферні пристрої на базі двотактних симетричних структур. Інформаційні технології та комп'ютерна інженерія. 2011. № 3(22). С. 4–12.
8. Азаров О. Д., Богомолов С. В., Стахов О. Я. Високолінійні двотактні буферні пристрої напруги з параметричною компенсацією зсуву нуля. Інформаційні технології та комп'ютерна інженерія. 2022. № 1(53). С. 69–76. DOI: <https://doi.org/10.31649/1999-9941-2022-53-1-69-76>.
9. Патент на корисну модель 141391, (UA) МПК:(2020.01) H03K 5/00 G05F 1/08 (2006.01). Буфер напруги / Азаров О. Д., Обертюх М. Р., Стахов О. Я., Лизогуб Д. В. № u201908721, заявл. 19.07.2019, Опубл. 10.04.2020, бюл. № 7/2020.
10. Патент на корисну модель 135679, (UA) МПК: H03F 3/26 (2006.01). Буферний каскад / Азаров О. Д., Кириляшук С. А., Богомолов С. В., Обертюх М. Р., Медяний Р. М. № u201901341, заявл. 11.02.2019. Опубл. 10.07.2019, бюл. № 13/2019.
11. Патент на корисну модель 140168, (UA) МПК: G05F 1/08 (2006.01). Двотактний підсилювач постійного струму / Азаров О. Д., Обертюх М. Р., Стахов О. Я., Лукашук О. О. № u201907299, заявл. 01.07.2019. Опубл. 10.02.2020, бюл. № 3/2020.

### References

1. Walt Kester. Analog-digital conversion. ADI Central Application Department, USA, 2004, 1127 p.
2. Walt Kester. Drive Circuitry is Critical to High-Speed Sampling ADCs. Electronic Design Special Analog Issue. 1994. № 7. P. 43–50.
3. Kester W. Data Conversion Handbook (Analog Devices). Analog Devices Inc. Engineeri. Newnes; 1st edition. December 16, 2004. 976 p. ISBN-10: 0750678410. ISBN-13: 978-0750678414.
4. Alan B. Grebene. Bipolar and MOS analog integrated circuit design. New Jercy, USA: Whiley Classic Library, 2002, 915 p.
5. Azarov O. D., Bohomolov S. V., Stakhov O. Ya. Bahatokanalna shvydkodiiucha systema ATsP-TsAP na bazi vysokoliniinykh peretvoriuvachiv strum-strum. Informatsiini tekhnolohii ta kompiuterna inzheneriia. T. 53. № 1. 2021. S. 69–79. URL : <https://doi.org/10.31649/1999-9941-2021-50-1-69-79> (Data zvernennia 29.07.22).
6. Olexiy D. Azarov, Sergii V. Bohomolov, Svitlana A. Kyrylashchuk, Olexiy J. Stakhov, Mariusz Duk, and Yedilkhan Amirgaliyev. High speed buffer devices on the base of push-pull current amplifiers. Proc. SPIE 11176, Photonics Applications in Astronomy, Communications, Industry, and High- Energy Physics Experiments 2019, 111765W6, November 2019. <https://doi.org/10.1117/12.2536902>.
7. Azarov O. D., Bohomolov S. V. Pretsyziini buferni prystroi na bazi dvotaktnykh symetrychnykh struktur. Informatsiini tekhnolohii ta kompiuterna inzheneriia. 2011. № 3(22). S. 4–12.
8. Azarov O. D., Bohomolov S. V., Stakhov O. Ya. Vysokoliniini dvotaktni buferni prystroi napruhy z parametrychnoiu kompensatsiieiu zsvu nulia. Informatsiini tekhnolohii ta kompiuterna inzheneriia. 2022. № 1(53). S. 69–76. DOI: <https://doi.org/10.31649/1999-9941-2022-53-1-69-76>.
9. Patent na korysnu model 141391, (UA) MPK:(2020.01) H03K 5/00 G05F 1/08 (2006.01). Bufner napruhy / Azarov O. D., Obertiukh M. R., Stakhov O. Ya., Lyzohub D. V. № u201908721, zaiavl. 19.07.2019, Opubl. 10.04.2020, biul. № 7/2020.
10. Patent na korysnu model 135679, (UA) MPK: H03F 3/26 (2006.01). Bufernyi kaskad / Azarov O. D., Kyrylashchuk S. A., Bohomolov S. V., Obertiukh M. R., Mediany R. M. № u201901341, zaiavl. 11.02.2019. Opubl. 10.07.2019, biul. № 13/2019.
11. Patent na korysnu model 140168, (UA) MPK: G05F 1/08 (2006.01). Dvotaktnyi pidsyliuvach postiinoho strumu / Azarov O. D., Obertiukh M. R., Stakhov O. Ya, Lukashuk O. O. № u201907299, zaiavl. 01.07.2019. Opubl. 10.02.2020, biul. № 3/2020.

Рецензія/Peer review : 23.06.2022 р.

Надрукована/Printed :02.08.2022 р.